

3次元 IC 積層実装技術の実用化への取り組み

— 基盤技術から実用技術へどのようにしてステップアップするのか? —

青柳 昌宏^{1*}、居村 史人¹、加藤 史樹¹、菊地 克弥¹、渡辺 直也¹、
鈴木 基史¹、仲川 博¹、岡田 義邦¹、横島 時彦²、山地 泰弘¹、
根本 俊介¹、Thanh Tung BUI¹、Samson MELAMED¹

ICデバイスを縦方向に積層して実装集積する3次元IC積層実装技術は、半導体デバイス、MEMSデバイス、パワーデバイス等の集積技術として、従来の基板面内での2次元的な集積化に加えて、基板を積層して3次元的に集積化できるため、近年、期待が高まっている。この論文では、半導体デバイスの3次元IC積層実装に求められる高密度・高集積の電子ハードウェア構築基盤技術を確認させるとともに、企業と連携して量産化技術への開発支援も行いながら、実用化に向けた応用システム開発の流れを作り出すために実施した、初期の応用フェーズの研究開発について、報告する。

キーワード: 半導体デバイス、IC、3次元積層、実装、TSV

Developing an application for 3D IC chip stacking technology

– How to shift from fundamental to practical technology? –

Masahiro AOYAGI^{1*}, Fumito IMURA¹, Fumiki KATO¹, Katsuya KIKUCHI¹, Naoya WATANABE¹,
Motohiro SUZUKI¹, Hiroshi NAKAGAWA¹, Yoshikuni OKADA¹, Tokihiko YOKOSHIMA²,
Yasuhiro YAMAJI¹, Shunsuke NEMOTO¹, Thanh Tung BUI¹ and Samson MELAMED¹

3D IC chip stacking technology is expected to be the future of electronic device integration technology, because integration along the additional dimension affords efficient use of space and improvement of system architecture. We developed fundamental technology of high density integration for 3D IC chip stacking. To facilitate applications of this technology, a mass-production process was developed in collaboration with a production system company.

Keywords: Semiconductor device, IC, 3D stacking, packaging, TSV

1 はじめに

半導体集積デバイスを中核コア部品として発展してきた電子機器は、小型モジュール化、高密度集積化、低消費電力化等の性能アップのためのたゆまない技術開発により、産業機器から、民生家電機器、さらには、個人向け携帯電子機器へと事業化が展開され、事業所単位から、世帯単位、さらには、個人単位へと普及度を高めて、全世界レベルで大幅な製品個数の増加を達成してきている。2014 年末には、全世界で携帯電話契約台数と人口数が一致する 100 % 普及率が達成されている^[1]。

これまでの半導体集積デバイス開発の歴史において特

筆すべきイノベーションは、N チャンネル MOS トランジスタおよび P チャンネル MOS トランジスタを一对にした相補型 MOS (CMOS) トランジスタ素子構造の採用によって、他の素子構造に比べて広い動作可能領域が確保できるため、素子特性の大きな製造ばらつきを許容できるようになったことである。これにより、現在では、10 億個を超えるトランジスタを集積した集積回路 (IC) が実現できるようになっている^[2]。

一方、半導体 IC 技術については、微細加工の限界、製造コストの上昇等、さまざまな制限要因が明らかになり、今後の集積度向上に陰りが見え始めている。その解決策

1 産業技術総合研究所 ナノエレクトロニクス研究部門 〒305-8568 つくば市梅園 1-1-1 中央第 2、2 早稲田大学理工学術院 〒162-0041 新宿区早稲田鶴巻町 513 スマートエナジーシステム・イノベーションセンター 120 号館 405 室

1. Nanoelectronics Research Institute, AIST Tsukuba Central 2, 1-1-1 Umezono, Tsukuba 305-8568, Japan * E-mail: m-aoyagi@aist.go.jp, 2. Faculty of Science and Engineering, Waseda University 120-405 Smart Energy System Innovation Center, 513 Wasedatsurumaki, Shinjuku-ku 162-0041, Japan

Original manuscript received October 26, 2014, Revisions received July 29, 2015, Accepted July 30, 2015

の一つである IC デバイスを縦方向に積層して実装集積する 3次元 IC 積層実装技術は、半導体 IC 技術の集積度向上を別次元で可能とする半導体デバイス集積技術として、近年、期待が高まっている。そこで、我々は、3次元 IC 積層実装に求められる高密度・高集積の電子ハードウェア構築基盤技術を確立させるとともに、本来は企業が進めるべき量産化技術の開発支援も行いながら、実用化に向けた応用システム開発の流れを作り出すため、応用フェーズの研究開発にも取り組んでいる。

2 3次元IC積層実装による電子ハードウェアシステム集積技術の高度化とこの研究の狙い

まず、システム性能の向上を目指した高密度・高集積化の要求に対応して製造技術を高度化させてきた電子ハードウェアシステム集積技術について、最近の開発動向を振り返ってみる。半導体 IC の平面集積技術と異なる縦方向で集積が可能となる、半導体 IC パッケージ内に複数の IC チップを積層化して、一つのシステムに収めるシステム・イン・パッケージ SIP (System in Package) ^{用語1} と呼ばれるシステム集積手法が目立っている ¹³⁾。この SIP 手法については、携帯電子機器の小型化、高速化、低消費電力化に向けた実用レベルの研究開発が積極的に進められ、実際の製品への導入も進んできている。SIP は、More than Moore と呼ばれるデバイス寸法の定率縮小を表す Moore 則と次元の異なる縦方向での集積を実現する技術であり、IC チップ上にシステムを収めるシステム・オン・チップ SOC (System on Chip) ^{用語2} と呼ばれるシステム集積手法と相補的關係に位置づけられるものと考えられる。しかし、積層化した IC チップ間の接続は、ボンディングワイヤ、パッケージ内配線等比較的長い配線となるため、高速動作に不利な構造と

なっている。一方、IC チップの基板内に表から裏に貫通する電極 (Through-Si-Via: TSV ^{用語3}) と接続用微細バンブを形成することにより 3次元的に複数の IC チップ同士を直接積層する技術を使った 3次元 IC チップ積層実装技術は、電子ハードウェアの超小型高密度化、高速大容量化、低消費電力化等の多様な高性能化を達成する技術として期待されている ¹⁴⁾¹⁶⁾。なお、3次元 IC チップ積層では、SOC 手法で実現が困難な異なる基板材料・プロセスによる IC デバイスの高密度集積にも対応できる点に注目すべきである。また、ハードウェアにおける配線空間が 2次元から 3次元に拡張されることにより、回路・システムの構成方法に大きな変革をもたらす可能性にも注目すべきである。

高密度・高集積の電子ハードウェア構築基盤技術としての 3次元 IC 積層実装技術をシステムレベルで応用して具体的な高性能電子機器として具現化するためには、3次元 IC 積層実装システムのプロトタイプ開発を進める必要がある。3次元 IC 積層のメリットを十二分に生かした新しい革新的回路・システム技術を開拓することによって、次世代のハードウェアシステム集積技術を社会に送り出すことが可能になる。

3次元 IC 積層実装システムの実現に求められる研究開発項目は、非常に多種類の技術分野に関連して、多岐に渡っているため、産総研の限られた研究リソースの中では、とても全部をカバーできる状況にはない。そこで、我々は、企業の取り組みが遅れており、かつ、重要度、緊急度の高い技術項目を優先的に進めるシナリオに沿って、これまで 15年に渡って基盤技術の研究開発を進めてきた。

図 1 に電子ハードウェアシステム集積技術について、これまでの進展を示す。まず、性能の高いシステムを達成できる SOC 技術については、システムを構成する多くの回

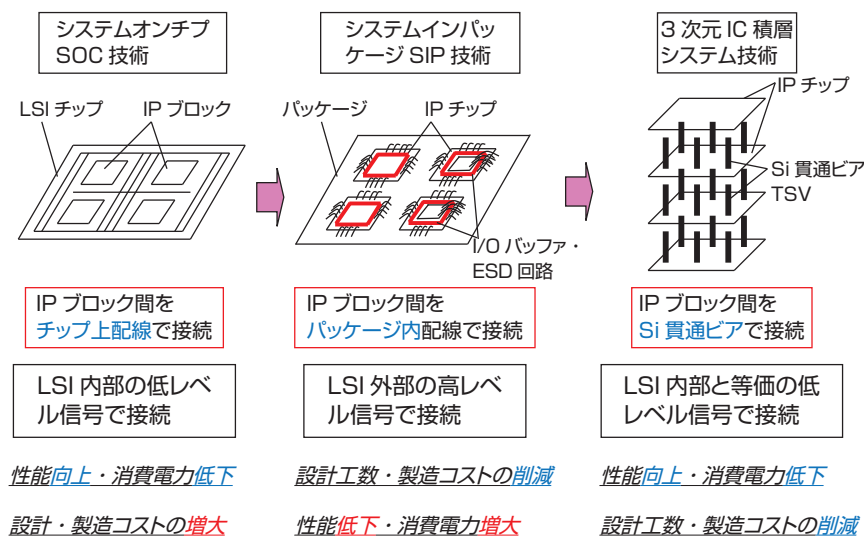


図 1 電子ハードウェアシステム集積技術の進展

路ブロックを一つの超大規模 IC チップ内に集積する技術であり、通常の大規模 IC 開発・製造に比べて、開発・製造に時間がかかり、大幅にコスト増となる。汎用性を高めた回路設計により、多くのシステム製品に組み込まれ、数百万個以上の大規模生産が見込める IC チップ（高性能汎用 CPU^甲、汎用画像処理プロセッサ等）でないと、事業化が困難である。次に、複数の IC チップを小型に集積できる SIP 技術については、システムを構成する回路ブロックに対応した複数の IC チップを一つのパッケージ内に集積する技術であり、要求性能がそれほど高くない応用分野について、開発・製造のコストを大幅削減できるので幅広く適用されている。さらに、究極の SIP 技術とも言える TSV を用いた 3 次元 IC チップ積層実装技術については、SOC に匹敵する性能、さらに、3 次元配線を活用してシステムアーキテクチャーを工夫することで SOC を凌駕する性能が実現できる技術であり、開発・製造のコストについても、SOC より大幅に低減できる可能性がある¹⁷。次世代ノードで予想される微細化コストの急激な増大に対して、3 次元積層化によりトータルコストを抑えて集積度の向上を図ることが期待されている。

3 次元 IC チップ積層技術について、デジタルシステム応用上のメリットとしては、マルチコアのような機能回路ブロックの多重化による並列処理アーキテクチャーの採用でシステム演算処理能力の向上が期待できる¹⁸。このためには、演算ブロック間のデータ通信能力を大幅に高めることが重要な鍵となる。この観点から、IC チップ積層技術について、さまざまな演算処理等を実行する演算 IP^甲 ブロックを作り込んだチップ（IP チップと称する）間の信号伝送方式により分類してみると図 2 のようになる。薄型 IC パッケージを 3 次元積層したチップ積層方式は、低コスト重視の汎用

小型システムの構築に向いており、容量・誘導・電磁波結合を利用したワイヤレス接続によるチップ積層方式は、高速伝送性能と高い物理的接続信頼性が必要なロバストシステムの構築に向いていると考えられる。また、IC チップの基板内に貫通する TSV によるチップ積層方式は、多数の TSV を用いた高性能システムの構築に向いており、光電子複合実装技術、シリコンフォトニクス^甲 技術等を用いた光導波路接続によるチップ積層方式は、最高性能が要求される基幹系ネットワーク、スーパーコンピュータ等ハイエンドシステムの構築に向いていると考えられる。

この研究では、最終的なアウトカムとして、3 次元 IC 積層実装技術を適用した実用ハードウェアシステムを普及させていくのに不可欠な、設計・試作・評価の研究開発環境を整備するとともに、3 次元 IC 積層実装の特長を生かす、システム応用例のプロトタイプ実証を進めていくことを目標とする。

3 3次元IC積層実装に関する製造プロセスと統合設計環境の整備

3.1 3次元IC積層実装の製造プロセス要素技術

企業の研究開発技術者は、半導体デバイスの集積度向上の新たな手段として注目しているため、研究開発の段階でも量産プロセスへの展開を想定して、ウエハレベルの 3 次元 IC 積層実装プロセスの開発に取り組むのが一般的である¹⁹⁻¹⁵。しかし、産総研では、あえて回り道に見えても、高効率のプロトタイプ試作環境の構築を目指して、低価格のプロセス装置を利用して、高い歩留まりと短い製造期間で物づくりが可能なチップレベル 3 次元 IC 積層実装プロセスに着目して研究開発を進めてきている。特に、チップレベル 3 次元 IC 積層実装プロセスは、産総研から提唱さ

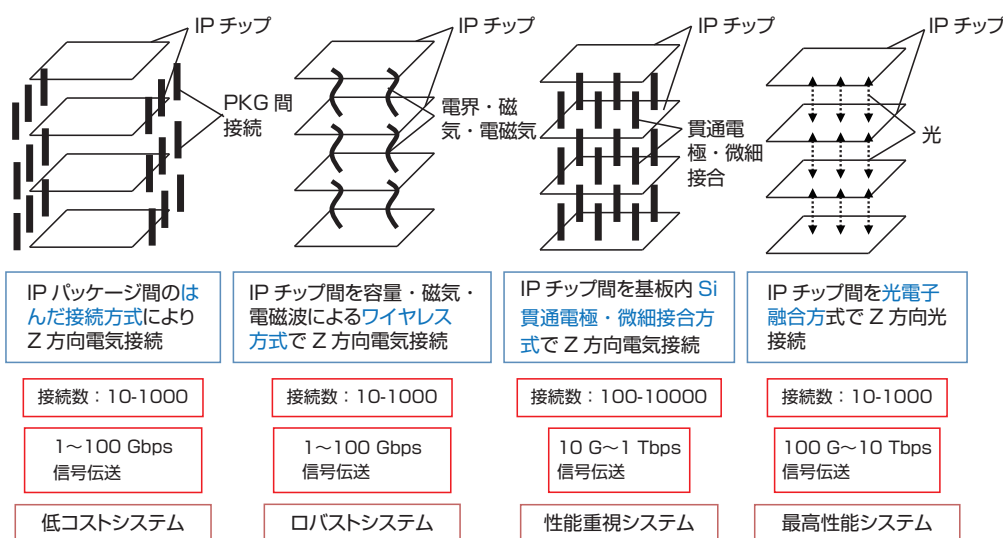


図 2 3 次元 IC チップ積層システム技術

れている極小の1/2インチSi基板を用いた半導体デバイス製造生産システムのミニマルファブ^{用語7}コンセプトと親和性が高く、半導体ICデバイス製造から積層実装まで一貫したミニマル3次元積層プロセスラインを構築できる可能性について、強調しておきたい^[16]。

一般的な3次元IC積層実装の製造工程は、通常のCMOS半導体製造プロセスを経た後に、表から裏に向かって深い埋め込みトレンチ電極を形成し、シリコン基板を裏から薄く加工し、トレンチ電極の底部を露出させ、裏面に配線を形成した後、配線上にはんだ材料による微細金属バンプを形成して、高精度積層技術により積層デバイス間にバンプ接合を形成して、一体集積化する工程フローが用いられる。その製造工程フローの中では、シリコン基板貫通電極（TSV）を形成する工程が難易度、コストの点

から根幹工程となっている。具体的には、図3に示すように、シリコン基板に表面から裏面にかけて深いトレンチ孔をボッシュ法でエッチング加工し、その孔の側壁にバリア層と絶縁層をCVD法で形成した後、その孔の中に金属をめっき法で充填させて、表面をCMP等の平坦化技術で電極を露出させ、さらに裏面から研削・CMP・RIEにより薄型加工して、トレンチ底部の電極を露出させ、独立した貫通する電極を形成する一連の工程である。

図4にこれまで産総研で研究開発を進めてきた3次元ICチップ積層システム集積化要素技術（プロセス・評価）の開発項目について、列挙している。具体的項目として、チップ積層プロセス要素技術として、側壁絶縁層にlow-k有機樹脂を用いた低容量低抵抗低内部応力TSV構造^[17]、円錐形状の微細バンプにより熱圧着法で接合した微細ピッ

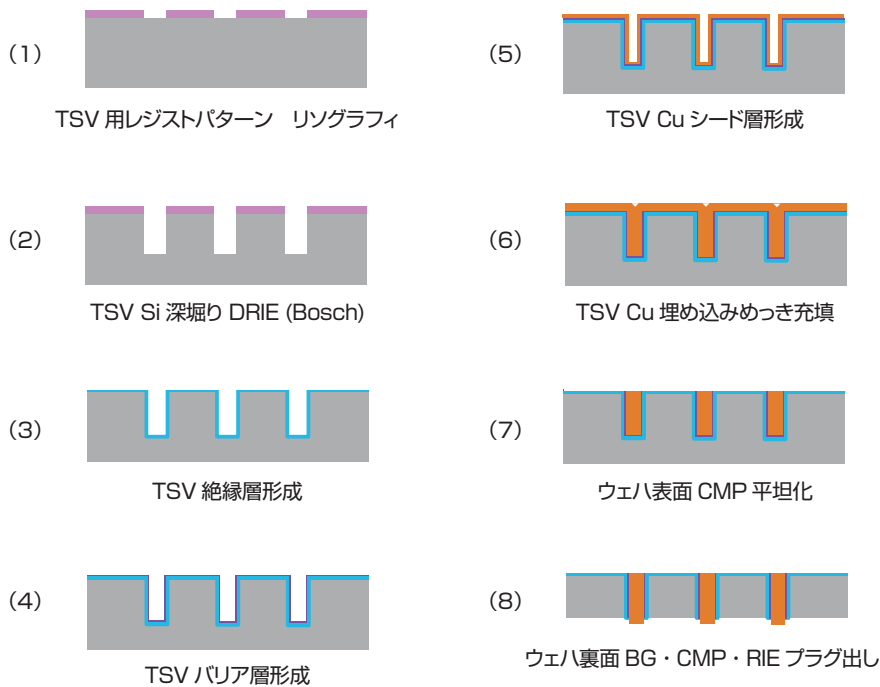


図3 シリコン基板貫通電極（TSV）の製造プロセスフロー

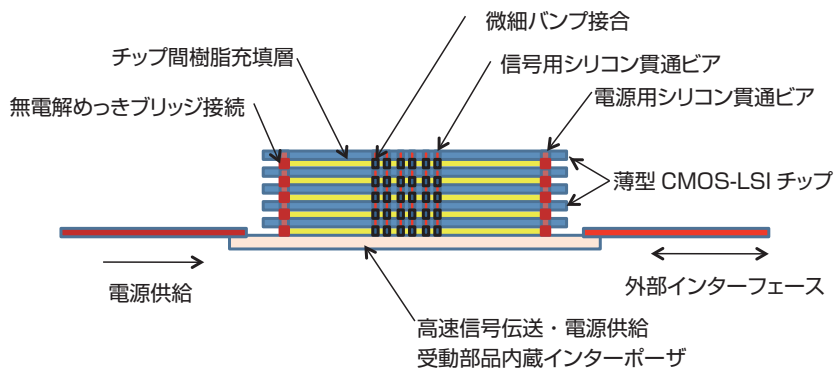


図4 3次元ICチップ積層システム集積化要素技術（積層プロセス・評価検査）

チ高密度超多チャンネル微細バンプ接続^{[18]-[20]}、チップ積層後の電源パッド電極間を直接めっき法で接続する電源パッド間ブリッジめっき接続^{[21][22]}、薄膜コンデンサおよびチップコンデンサを基板内に埋め込んだ受動部品内蔵インターポザ^{[23][24]}等、評価検査技術として、10 ps 高速立ち上がりステップ信号を用いた局所微細構造電気特性評価^[25]、20 Gbps デジタル高速信号伝送評価^[26]、10 Hz-40 GHz の超広帯域に対応したインピーダンスアナライザによる電源供給配線インピーダンス評価^[27]、メンブレン微細ピッチコンタクトプローブによるチップレベルの電気検査が可能な良品チップ検査^[28]、積層後に微細接続部の全数電気接続検査が可能なチップ間接続バウンダリスキャン検査^[29]、レーザー照明と高速高精細画像センサーにより全数形状検査が可能な微細円錐バンプ高速検査^[30]等が挙げられる。

低容量低抵抗低内部応力 TSV 構造の開発例として、TSV の側壁絶縁層にパリレン有機樹脂層を用いた TSV 構造の開発について、紹介する^[17]。図 5 には、低温 CVD 法により TSV 孔に均一な膜厚で側壁絶縁層を形成可能なことを特徴とするパリレン側壁絶縁層 TSV 構造の製造プ

ロセスフローを示す。図 6 には、TSV 製造プロセスにおけるパリレン側壁絶縁層形成後の断面 SEM 写真を示す。SiO₂、SiNx 等の無機系絶縁材料による側壁絶縁層に比べて、被覆性の高い均一で厚い膜形成が可能となっている。図 7 には、TSV 製造プロセスにおけるパリレン側壁絶縁層形成および Cu めっき充填後の断面 SEM 写真を示す。電解 Cu めっき法による TSV 孔への Cu 金属充填が可能である。Cu と Si の熱膨張係数の違いにより発生する側壁絶縁層の内部応力については、パリレン膜の弾性変形により Si 基板内の応力緩和が期待できる。

次に微細ピッチ高密度超多チャンネル微細バンプ接続の開発例として、ナノ粒子堆積法により形成した微細円錐形状バンプ接続の開発について、紹介する^[19]。図 8 には、金ナノ粒子を真空蒸着装置において、He ガス雰囲気内で生成して、He ガスと共に小径ノズルより吐出させて堆積させるナノ粒子堆積法を用いて形成された円錐形状の微細金バンプ配列の SEM 観察写真を示す。直径 10 μm、高さ 12 μm の形状で配列ピッチ 20 μm の 100 × 100 (10000) 個の微細円錐バンプ配列である。基板上に丸孔形状のフォトリソマスクを形成した後、金ナノ粒子を小径ノズルよ

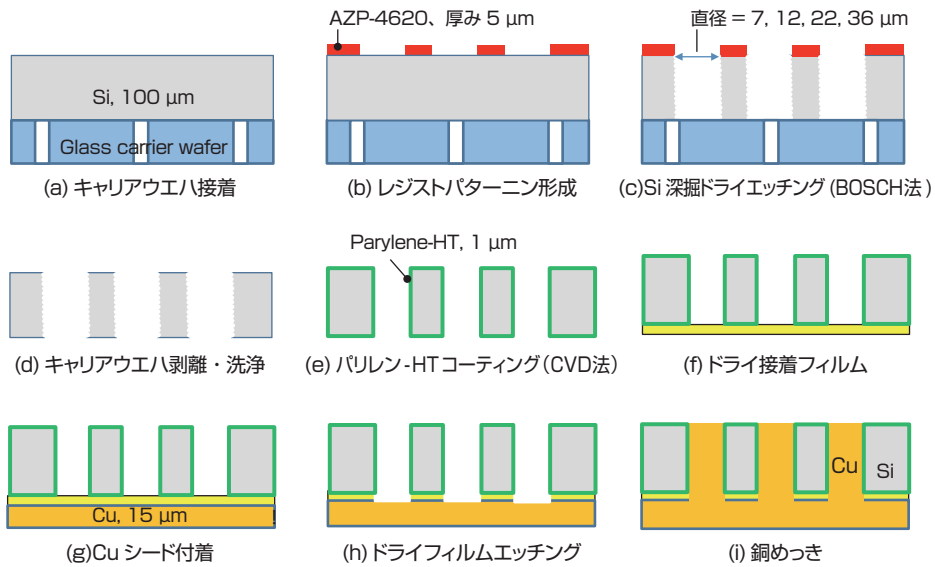


図 5 パリレン側壁絶縁層 TSV 構造の製造プロセスフロー

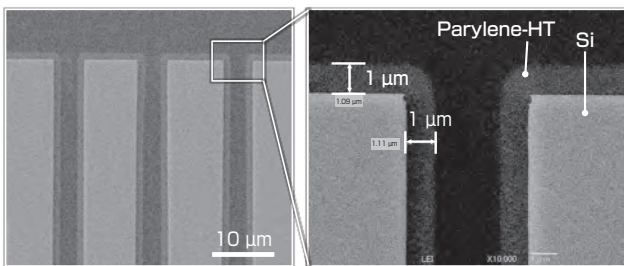


図 6 TSV 構造におけるパリレン側壁絶縁層形成後の断面 SEM 写真

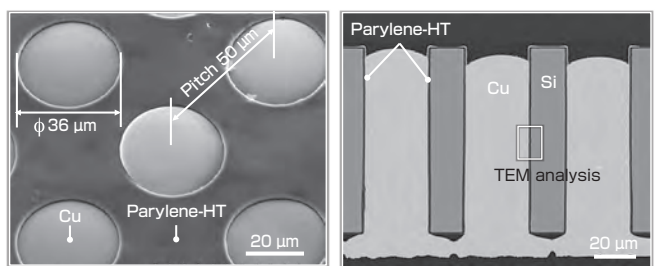


図 7 TSV 構造におけるパリレン側壁絶縁層、Cu めっき充填後の断面 SEM 写真

り吹き付けながら、基板をスキャン移動させることにより、膜形成を行うことで、同時にマスク孔開口上端部にひさし構造が成長するため、孔内部には自動的に円錐形状の金バンプが形成される。図9には、円錐金バンプを用いて熱圧着法によりバンプ接続を形成した円錐バンプ接続構造1個の断面 SIM 写真を示す。温度 200 °C で加圧することにより、高さが 12.6 μm から 7.1 μm まで 44 % 圧縮されて、8.6 m Ω の低抵抗接続が実現できる。その圧縮量は、印加圧力により制御することができる。

このようなチップレベルの3次元 IC 積層実装プロセス環境を構築することにより、研究開発段階でのラピッドプロトタイプングの要求に対応するとともに、マルチフィジクス設計解析環境の構築により、電気・熱・機械特性を統合的に設計解析できる複数 CAD ツール統合解析環境および IC デバイス設計からシステム全体設計まで上流から下流まで効率的に設計データを受け渡しできるシームレス設計環境の整備を進めて、最終的な実用段階における全体統合設計へも対応を進めている。

以上の開発シナリオにより、3次元 IC 積層実装の物理的なハードウェア集積環境を利用して、従来の2次元 IC では実現できない、まったく新しい優れたコンセプトの回

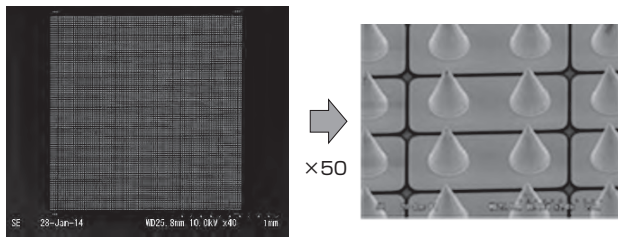


図8 10000 (100 × 100) 個の微細円錐金バンプ配列の SEM 写真 (一部拡大: × 50)
(直径: 10 μm, 高さ: 12 μm, ピッチ: 20 μm)

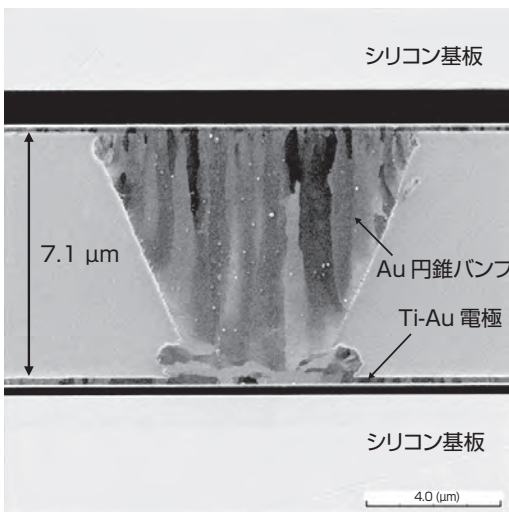


図9 円錐バンプ接続構造単体の断面 SIM 写真

路・アーキテクチャー技術の創出に寄与できると考えている。具体的には、積層デバイス間における1000本以上の多チャンネル電気接続を活用して、積層間で可能となる大容量インターフェース通信を応用した、新しいシステム機能を発現させることが目標となる。

3.2 3次元IC積層実装システムにおける総合化の手法

3次元 IC 積層実装システムの設計段階においては、物性(電気・熱・機械等)が大きく異なる微細な構成要素(シリコン基板貫通電極、微細金属バンプ接続、積層間樹脂インターフィル、熱拡散層等)を含んだ設計基本単位である3次元 IC 積層スタンダードセルライブラリをベースにして、大規模な集積回路 IC の設計を進める必要がある。そのためには、まず、設計に必要な基本構成単位としてのスタンダードセル群について、各種設計パラメータを変化させた複数デザインの評価用 TEG^{用語8} デバイスについて、設計・試作を行い、電気・熱・機械の諸特性評価を網羅的に行うことにより、標準セルのレイアウトデザインライブラリだけでなく、設計ガイドライン、設計ルール等を含む、3次元 IC 積層デザインツールキットの整備を進めていく。TEG デバイスによる設計・試作・評価の一連作業を数回に渡って実施して、徐々にステップアップするようにツールキットを整備することにより、最終的に実用システムの設計・試作・評価が可能となるレベルに到達することを目指す。

電気と熱を協調させた IC 設計技術の開発例として、既存の IC 設計ツールをベースに、独自開発の熱解析ソフトウェアを組み合わせ構築した IC 設計フローの開発について、紹介する^[31]。図10は、電気・熱協調 IC 設計における熱解析設計工程フローを示している。初めに、通常の論理 IC 設計ツールを用いて、論理設計シミュレーションおよび回路配置配線を行い、IC 設計基本単位であるスタンダードセル単位での平均電力消費の値を求めて、セル内に配置されているすべてのトランジスタに消費電力の値を割り振って、値付けを行う。そのような消費電力値設定済みのレイ

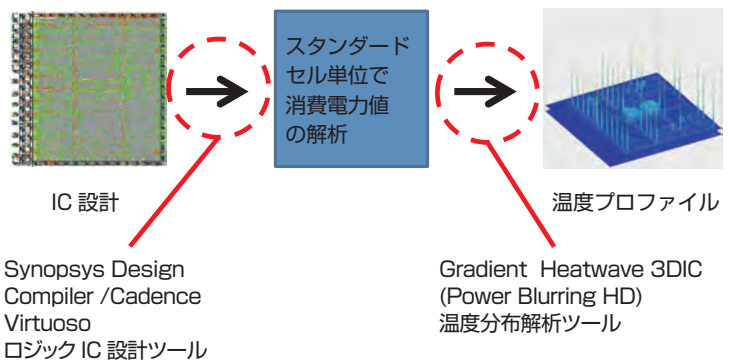


図10 電気・熱協調 IC 設計における熱解析設計工程フロー

アウト設計データに基づいて、独自に開発した効率的計算が可能なトランジスタレベルでの熱解析ソフトウェア^[32]を用いて、熱解析シミュレーションを実施する。図 11 は、複数の設計ツールを用いた電気・熱協調 IC 設計における熱解析用レイアウト設計データのフローを示している。

4 評価用 TEG デバイスを用いた設計・試作・評価による実証研究開発

評価用 TEG デバイスの設計・試作については、もし、ウエハ単位で実施した場合には、億単位の費用負担が必要になり、研究所で簡単に実施できる予算レベルではなくなってしまう。一方、複数のチップ試作案件が相乗りして、CMOS 半導体 IC デバイスをウエハ単位で設計試作する CMOS ファンドリのシャトルサービスを利用すると、1/10 以下の費用で評価用 TEG デバイスの試作が可能となる。このようなシャトルサービスによるデバイス試作を前提として、研究開発を進めることとした。

IC デバイスの設計に関しても、自前で設計を進めるためには、大規模 IC 設計 CAD 環境を整備する必要があり、数億円の費用が必要になるが、研究所で簡単に実施できる予算レベルではない。ちなみに、著者の青柳、仲川は、20 年前に Mentor 社の CAD ツールを用いて、超伝導集積回路の設計を実施していた時期があるが、その後、高額のライセンス費用を負担することができず、ツール環境の維持を諦めた経緯がある。

設計については、設計環境を保持して、設計受託のビジネスを進めているファブレス企業に協力を依頼する方向で対応することとなった。その協力先としての候補企業を探していたところ、地元、つくば市で起業されたトプシステムズ社との知遇を得た。

2007 年 8 月に同社が独自に開発したヘテロジニアスマルチコアアーキテクチャー TOPSTREAM に関する技術紹介のために産総研に来訪する機会があり、同アーキテクチャーが 3 次元 IC 積層実装システムとの親和性が高く、新しいシステム設計技術の具体化にチャレンジできる可能性を認識することとなり、具体的な連携を進めることとなった^[33]。

2008 年に経産省の中小企業支援予算を活用して、3 次元 IC 積層対応したヘテロジニアスマルチコアアーキテクチャーとして、その中核となる積層インターフェース規格 Cool Interconnect を含めたアーキテクチャー全体の概念構築を進めて、数件の特許出願を行うとともに、積層インターフェースについて具体的に要素技術開発をスタートさせた。積層インターフェースに関しては、費用のかかる IC デバイス試作を避けて、これまでの技術蓄積を生かせる積層インターフェースのテスト検査技術の構築を優先して進め、特許出願を行った^[34]。図 12 に Cool Interconnect の概念を示す。50 μm 厚の薄型 IC チップの中心部に 50 μm ピッチ 1600 個の 10 μm 径 TSV 配列を形成して、微細バンプ接続による最大 8 層のチップ積層を想定した、積層チップ

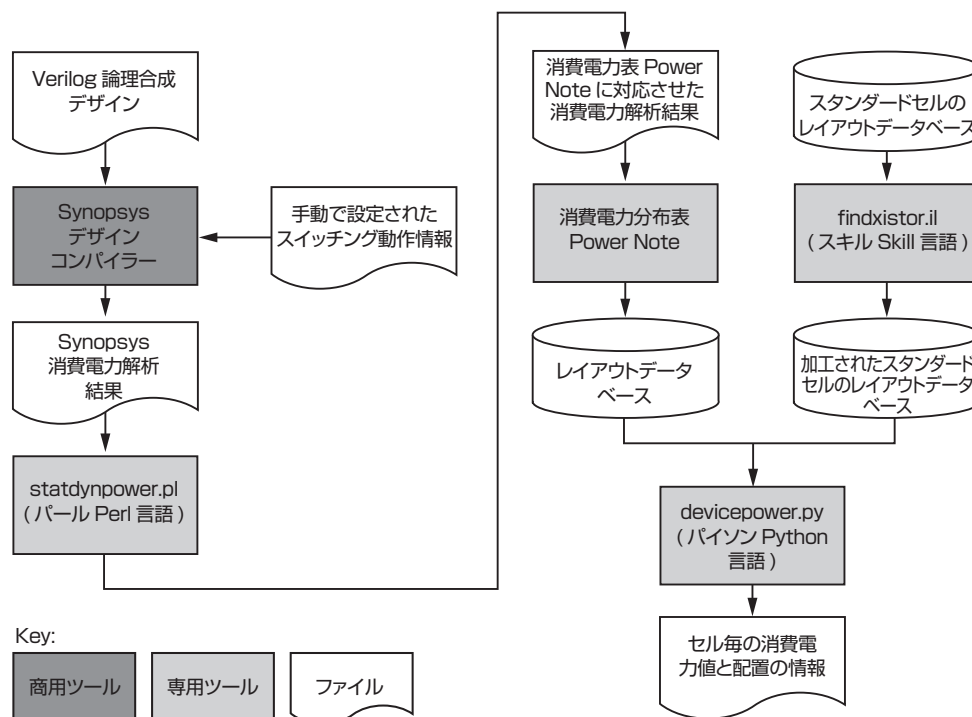


図 11 電気・熱協調 IC 設計における熱解析用レイアウト設計データフロー

間ワイドバス双方向通信インターフェース仕様となっている。

積層インターフェース規格 Cool Interconnect を含めた 3 次元 IC 積層アーキテクチャの概念構築が完了したのを踏まえて、2009 年 5 月に NEDO 省エネルギー革新技術研究開発事業へ同社と共同で研究開発プロジェクトの提案を行った。さいわい我々の提案が首尾よく採択され、この NEDO 研究開発プロジェクトにより、IC デバイスの設計・試作を含む 3 次元 IC 積層アーキテクチャの実証研究を本格的に進めることができた。提案内容は、ヘテロジニアスマルチコアアーキテクチャの高精細画像処理システムを 3 次元積層化により大幅に省電力化を達成できる省エネルギーデバイス技術の開発であった。図 13 に Cool Interconnect を用いた 3 次元 IC 積層システム設計における省エネルギーの考え方を示す^[35]。クロック周波数を数 10 MHz に低減させ、複数の異種演算プロセッサを Cool Interconnect で接続し、複合命令を活用して効率の良い

分散処理を行うことにより、大幅な省電力と高い演算能力の確保を目指すものである。

積層インターフェース規格 Cool Interconnect に基づく、1600 個のシリコン基板貫通電極と微細バンプ接続を想定した、3 次元 IC 積層に対応した超並列バスインターフェース回路の評価用 TEG を設計・試作して、まず微細バンプで対面接続された積層デバイス間における 0.588 Gbps/1 mW の低消費電力信号伝送特性を評価した。積層インターフェース回路は、スタンダードセルのバッファ回路、レシーバー回路を用いて設計され、特殊なインターフェース用差動伝送回路を用いることなく、超並列化により高伝送容量を実現している。また、微細なシリコン基板貫通電極 TSV の形成について、信号伝送特性に影響する浮遊容量を低減させた低容量化 TSV の設計・試作を行い、電気評価により 10 μm 径 50 μm 深さの TSV について 0.25 pF/TSV (8 積層時でも 2 pF) の低容量特性を検証した。残念ながら、シリコン基板貫通電極も含めた積層後の伝送特性評価については、予算不足でプロジェクト期間内に実施できなかった。

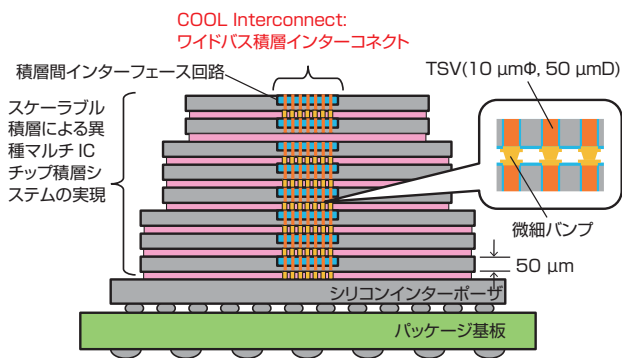


図 12 Cool Interconnect の概念図

図 14 に Cool Interconnect の仕様に基づく超並列バスインターフェース回路の通信機能を評価するための Cool Interconnect 評価用テスト IC デバイスの写真を示す。中心部 2.16 mm 角の領域に信号用 TSV、バンプが形成され、4 辺の周囲に電源 (Vdd: 2.5 V、Vio: 3.3 V)、GND 用 TSV、バンプが形成される。テスト IC デバイスの試作は、0.25 μm ノード CMOS ファンドリのシャトルサービスを利用して実施した。図 15 に、円錐バンプのみ (TSV なし) を形成したテスト IC デバイスを用いて熱圧着法により対面

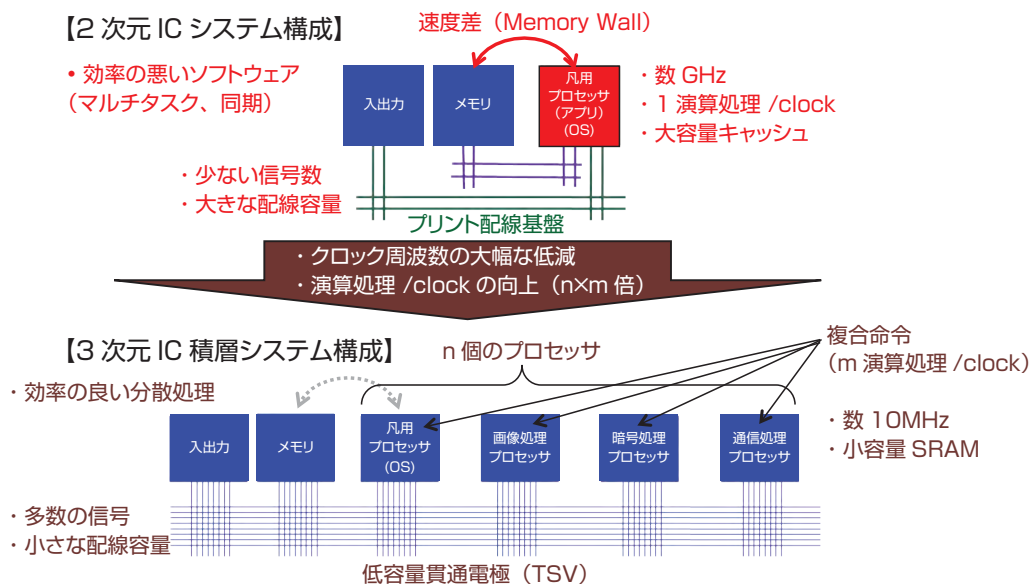


図 13 Cool Interconnect による 3 次元 IC 積層システムの省電力化

で積層した後の断面構造を観察した顕微鏡写真を示す。図 16 には、評価ボードに搭載された積層後のテスト IC デバイスを示す。図 17 は、デバイスに組み込まれた超並列バスインターフェース通信機能について、評価実験を行った結果である。クロック周波数を 2-50 MHz の範囲で変化させた際のインターフェース回路における消費電力を示している。87 mW の低消費電力条件で 51.2 Gbps (1024 bit・50 MHz) の大容量伝送動作が検証された^{[36][37]}。2.5V 電源動作の 0.25 μm ノード CMOS デバイスからなるインターフェース回路としては、十分に低消費電力で大容量伝送が実現できた。より微細なノードのデバイスを用いれば、さらなる省電力化が期待できる。

なお、図 10 で説明した電気熱協調 IC 設計フローに基づいて、図 18 に 500 MHz 動作時（発熱を強調するため、高いクロック周波数を設定している。）の超並列バスインターフェース通信インターフェース回路について、理想的ヒートシンク上に配置された単体シリコンチップにおける温度上昇分のプロファイルを解析した結果を示す^[19]。ヒートシンク

による放熱が効いており、少ない温度上昇となっている。今後の温度実測実験と比較したシミュレーション解析においては、放熱経路の熱特性パラメータの把握が重要となる。

シリコン基板貫通電極 TSV を形成した、評価用 TEG による積層後の動作検証実験については、開発期間の制限と開発リソースの不足により、試作検証を実施できなかったため、今後の研究開発プロジェクトでの本格試作による、検証が望まれる。

5 研究成果に関する今後の展開

3次元 IC 積層実装技術の実用化開発は、産総研を研究拠点とする NEDO プロジェクトの立ち上げにより、新たな段階に入った。具体的には、2013 年度にセンサーデバイスと信号処理デバイスを積層してリアルタイム高速画像処理を狙った 3次元異種 IC 積層実装技術を含む NEDO スマートデバイス研究開発プロジェクト^[38]の立ち上げが行われ、現在、研究開発が進行中である。その開発計画では、応用システムの製造メーカーから設計部隊の参画を得て、本格的なウエハ単位での実用レベル CMOS-IC デバイスの設計試作を実施する計画を含んでいる。同時に、製造装置メーカーの参画によりウエハレベルでの 3次元 IC 積層実装プロセスを実施できる試作製造プロセスラインの整備を産総研内で着実に進めることにより、プロジェクト終了時に本

ワイドバス積層インターフェース回路ブロック
占有面積：2.16 mm 角

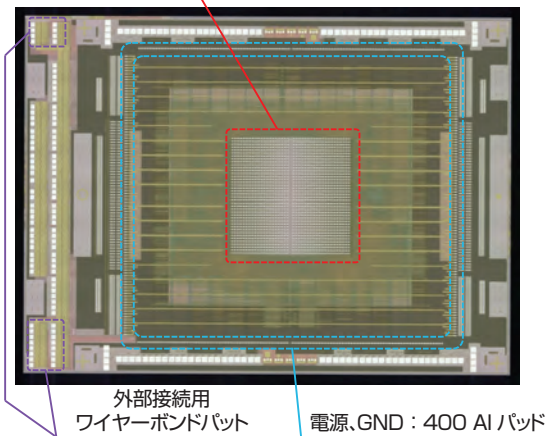


図 14 Cool Interconnect 評価用テスト IC デバイス

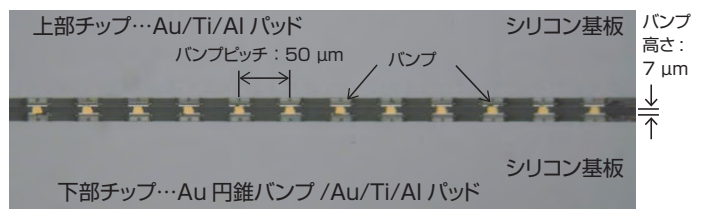


図 15 熱圧着法による積層後のバンブ接続構造断面の顕微鏡写真

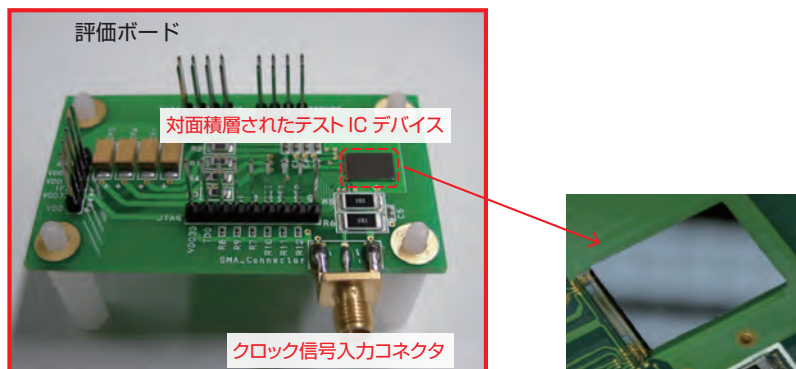


図 16 評価ボードに搭載された積層後のテスト IC デバイス

格的な国内における3次元 IC 積層試作拠点として機能させることを目指している。なお、TSV、バンプ形成との積層工程については、当面、チップレベルで実施されるが、ウエハレベルでの課題解決についても、同時並行的に進められる予定である。

最後に実証研究開発の経緯をまとめて表1に示す。

6 今後の課題

この研究が目指す最終的なアウトカムとしての実用システムに対応した設計・試作・評価の研究開発環境構築については、非常に多くの研究人材と研究リソースの投入が必要である。これまで研究開発を進めてきた要素技術の統合を進め、大きく発展させるために、相当規模の研究リソース確保に向けて、努力したい。

次世代のさまざまな低消費電力デバイス技術の開発が進められており、それらの技術と3次元 IC 積層実装技術を組み合わせることにより画期的な高性能・低消費電力システムの実現が期待できる。そのために、実用システムに対

表1 実証研究開発の経緯

開発経緯	
2007年	ヘテロジニアスマルチコアアーキテクチャーと3次元 IC 積層実装の融合検討
2008年	積層インターフェース規格の基礎研究（経済産業省中小企業支援予算）
2009-12年	積層インターフェース回路の実証研究（NEDO 省エネルギー革新事業）
2013-18年	3次元 IC 積層実装技術の実用開発（NEDO 次世代スマートデバイス開発プロジェクト）実施中

応した3次元 IC 積層実装システムの設計・試作・評価の環境を活用して、回路・システム技術分野の研究者、技術者と協力して、3次元 IC 積層実装のメリットを最大限に生かした画期的で高機能な回路・システム技術の開発を加速する必要がある。今後、産総研に構築される3次元 IC 積層試作拠点が産学連携のオープンイノベーション拠点として有効に活用されることを期待したい。

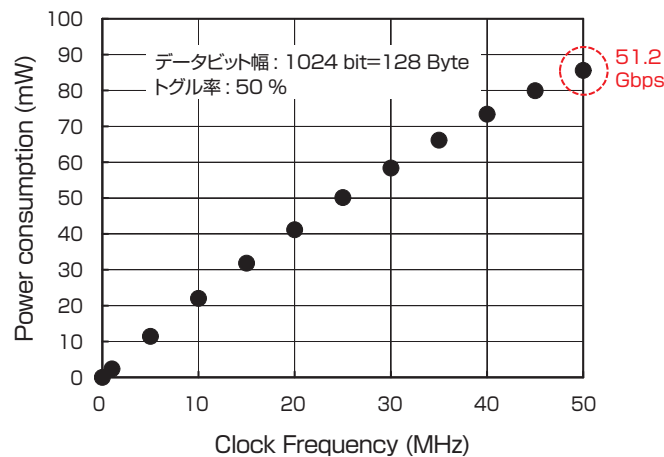


図17 並列バスインターフェース回路におけるクロック周波数に対する消費電力の依存性

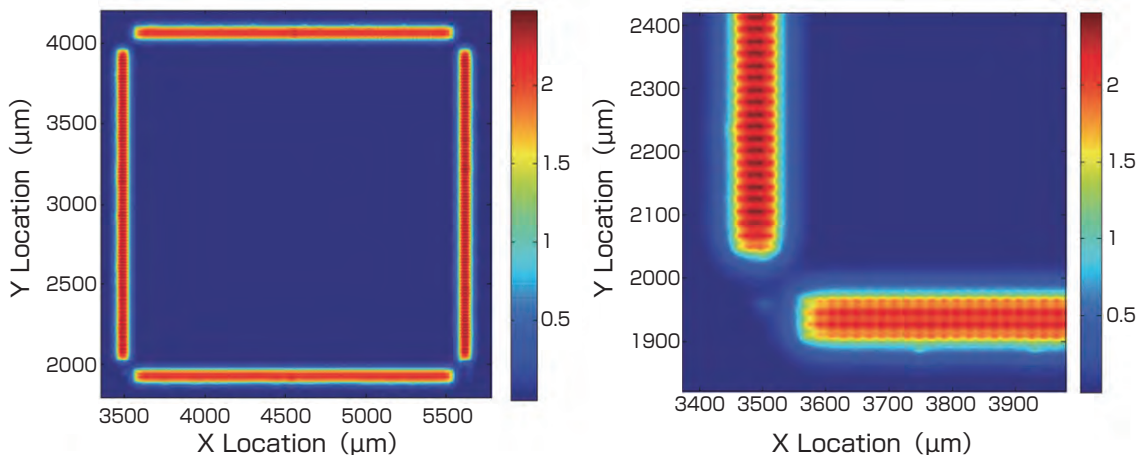


図18 500 MHz 動作時の積層インターフェース回路における温度プロファイルのシミュレーション解析結果

用語の説明

用語1: SIP: System in Packageの略称。集積回路ICシステムにおいて、動作に必要な機能を持つ複数のICチップを一つのパッケージ内に集積する方式。マイクロプロセッサチップを中心に各種のコントローラ回路チップやメモリチップ等を積層してパッケージ基板に実装する構成が多い。

用語2: SOC: System on Chip の略称。集積回路ICシステムにおいて、動作に必要な機能を持つ複数の回路ブロックを一つの半導体チップ内に集積する方式。マイクロプロセッサをコアに置いて、各種のコントローラ回路やメモリ等を統合したチップ構成が多い。一般の半導体チップは機能ごとに提供されるため、回路基板上に複数のチップを実装して相互に接続する必要があるのに対して、SOCでは複数のチップに分かれていた機能を統合し、一つのチップとして提供することができる。

用語3: TSV: Through-Silicon Viaの略称。シリコン半導体集積回路ICチップの基板内部を縦方向に貫通する電極。複数のICチップを積層して、高密度に集積できる3次元IC積層実装技術で用いられる。

用語4: CPU: Central Processing Unitの略称。コンピューターにおいて中心的な情報処理装置として動作する集積回路。プログラムによって、さまざまな数値計算や情報処理、機器制御等を実行することができる。

用語5: IP (コア) : Intellectual Property (Core) の略称。半導体集積回路ICを構成するための部分的な回路情報で、特に機能単位でまとめられているものを指す。単にIPと呼ぶ場合もある。

用語6: シリコンフォトニクス: 半導体集積回路として広く使われるシリコン基板に微細な光導波路構造を作り込み、さまざまな機能を持つデバイスの一つの小型チップに集積する技術。半導体集積回路と光デバイスの一体集積が可能となるため、電子システムの超小型化・低消費電力化を実現する技術として注目されている。

用語7: ミニマルファブ: 産総研が提唱している、ハーフィンチウエハを製造基板単位とする革新的な半導体製造生産システムであり、(1) ハーフィンチ径ウエハ、(2) 装置サイズ30 cm幅、(3) 局所クリーン化生産システムによるクリーンルームレス、という3点を特徴とする。

用語8: TEG: Test Element Groupの略。本格的な集積回路ICの設計・製造に先立って、基本的な諸々の設計パラメータを抽出することを目的として特別に設計・製造された評価用ICチップ。

参考文献

[1] 矢野経済研究所: 携帯電話の世界市場に関する調査結果 2015, (2015).

[2] 竹井淳: CPUアーキテクチャーの変遷, 第8回CKP研究会, (2012).

[3] 配線板製造技術委員会: SiPの技術ロードマップ, エレクトロニクス実装学会誌, 9 (1), 13-19 (2006).

[4] M. Koyanagi, H. Kurino, K. W. Lee, K. Sakuma, N. Miyakawa and H. Itani: Future system-on-silicon LSI chips, *IEEE Micro*, 18 (4), 17-22 (1998).

[5] T. Fukushima, H. Kikuchi, Y. Yamada, T. Konno, J. Liang, K. Sasaki, K. Inamura, T. Tanaka and M. Koyanagi: New three-dimensional integration technology based on reconfigured wafer-on-wafer bonding technique, *IEEE Int. El. Devices Meet. (IEDM)*, 985-988 (2007).

[6] K. Takahashi, H. Terao, Y. Tomita, Y. Yamaji, M. Hoshino, T. Sato, T. Morifuji, M. Sunohara and M. Bonkohara: Current status of research and development for three-dimensional chip stack technology, *Jpn. J. Appl. Phys.*, 40, 3032-3037 (2001).

[7] J. M. Yannou, "Roadmap Analysis: 3D Wafer Level Packaging", *ESTC2010 Workshop 3D WLP*, (2010).

[8] IBM, ソニー, SCEI, 東芝: IBM, ソニー, SCEI, 東芝 次世代プロセッサ「Cell」の技術仕様を公開, プレスリリース (2005).

[9] M. Kawano, N. Takahashi, Y. Kurita, K. Soejima, M. Komuro and S. Matsui: Three-dimensional packaging technology for stacked DRAM with 3-Gb/s data transfer, *IEEE Trans. Electron Devices*, 55 (7), 1614 - 1620 (2008).

[10] T. Maebashi, N. Nakamura, Y. Sacho, S. Nakayama, E. Hashimoto, S. Toyoda and N. Miyakawa: High density assembly technology using stacking method, *IEEE 9th VLSI Packaging Workshop of Japan*, 149-152 (2008).

[11] P. Ramm, M. J. Wolf, A. Klumpp, R. Wieland, B. Wunderle, B. Michel and H. Reichl: Through silicon via technology - processes and reliability for wafer-level 3D system integration, *Proc. 58th ECTC*, 841-846 (2008).

[12] J. U. Knickerbocker, P. S. Andry, B. Dang, R. R. Horton, C. S. Patel, R. J. Polastre, K. Sakuma, E. S. Sprogis, C. K. Tsang, B. C. Webb and S. L. Wright: 3D silicon integration, *Proc. 58th ECTC*, 538-543 (2008).

[13] M. Motoyoshi: Through-silicon via (TSV), *Proc. IEEE*, 97 (1), 43-48 (2009).

[14] U. Kang, HJ. Chung, S. Heo, SH. Ahn, H. Lee, SH. Cha, J. Ahn, DM. Kwon, J. H. Kim, JW. Lee, HS. Joo, WS. Kim, HK. Kim, EM. Lee, SR. Kim, KH. Ma, DH. Jang, NS. Kim, MS. Choi, SJ. Oh, JB. Lee, TK. Jung, JH. Yoo and C. Kim: 8Gb 3D DDR3 DRAM using through-silicon-via technology, *ISSCC Digest of Technical Papers*, 130-131 (2009).

[15] M. Scannell, G. Poupon, L. Di Cioccio, D. Henry, J.C. Souriau, F. Grossi, P. Leduc, P. Batude, M. Vinet, P. Geugen, L. Clavelier and N. Sillon: 3D packaging and interconnect technologies at CEA-Leti Minatoc, *Proc. ICEP*, 191-195 (2009).

[16] ミニマルファブハンドブック, 産業タイムズ社, (2013).

[17] B.T. Tung, X. Cheng, N. Watanabe, F. Kato, K. Kikuchi and M. Aoyagi: Investigation of low-temperature deposition high-uniformity coverage parylene-HT as a dielectric layer for 3D interconnection, *Proc. 64th ECTC*, 1926-1931 (2014).

[18] 五味義宏, 保坂泰司, 平林初人, 若林優治, 山岸光, 大里啓孝, 山地泰弘, 菊地克弥, 岡田義邦, 仲川博, 青柳昌宏: LSI高密度実装に向けた錐形状微細金バンプの形成, 第16回マイクロエレクトロニクスシンポジウムMES2006論文集, 23-26 (2006).

[19] 居村史人, 劉小軍, 根本俊介, 加藤史樹, 菊地克弥, 鈴木基史, 仲川博, 青柳昌宏, 五味義宏, 斉藤伊織, 長谷川弘: ナノ粒子堆積技術によるAu錐形バンプの作製, 第25回エレクトロニクス実装学会講演大会論文集, 229-232 (2011).

- [20] F. Imura, N. Watanabe, S. Nemoto, W. Feng, K. Kikuchi, H. Nakagawa and M. Aoyagi: Development of micro bump joints fabrication process using cone shape Au bumps for 3D LSI chip stacking, *Proc. 64th ECTC*, 1915-1920 (2014).
- [21] Y. Yamaji, T. Yokoshima, N. Igawa, K. Kikuchi, H. Nakagawa and M. Aoyagi: A method of fabricating bumpless interconnects applicable to wafer-scale flip-chip bonding, *Proc. 10th EPTC*, 657-662 (2008).
- [22] T. Yokoshima, Y. Yamaji, K. Kikuchi, H. Nakagawa and M. Aoyagi: A method of “chemical flip-chip bonding” without loading and heating for ultra-fine chip-to-substrate interconnects, *Proc. 59th ECTC*, 80-86 (2009).
- [23] K. Kikuchi, K. Takemura, C. Ueda, O. Shimada, T. Gomyo, Y. Takeuchi, T. Okubo, K. Baba, M. Aoyagi, T. Sudo and K. Otsuka: Low-impedance power distribution network of decoupling capacitor embedded interposers for 3-D integrated LSI system, *Proc. 18th EPEPS*, 25-28 (2009).
- [24] K. Kikuchi, M. Aoyagi, M. Ujiie and S. Takayama: Development of decoupling capacitor embedded interposers using narrow gap chip parts mounting technology with wideband ultralow PDN impedance, *Proc. EDAPS*, 9-12 (2013).
- [25] 青柳昌宏, 菊地克弥, 鈴木基史, 仲川博: 3次元LSI積層集積技術に求められる微細構造に対応した局所電気特性評価技術, *電子情報通信学会和文論文誌C*, J93-C (11), 388-398 (2010).
- [26] K. Kikuchi, H. Oosato, S. Itoh, S. Segawa, H. Nakagawa, K. Tokoro and M. Aoyagi: 10-Gbps signal propagation of high-density wiring interposer using photosensitive polyimide for 3D packaging, *Proc. 56th ECTC*, 2, 1294-1299 (2006).
- [27] K. Kikuchi, C. Ueda, K. Takemura, O. Shimada, T. Gomyo, Y. Takeuchi, T. Okubo, K. Baba, M. Aoyagi, T. Sudo and K. Otsuka: Low-impedance evaluation of power distribution network for decoupling capacitor embedded interposers of 3D integrated LSI system, *Proc. 60th ECTC*, 1455-1460 (2010).
- [28] N. Watanabe, M. Eto, K. Kawano and M. Aoyagi: Fine-pitch probing on TSVs and microbumps using a chip prober having a transparent membrane probe card, *Proc. 64th ECTC*, 2003-2007 (2014).
- [29] M. Aoyagi, F. Imura, S. Melamed, S. Nemoto, N. Watanabe, K. Kikuchi, H. Nakagawa, M. Hagimoto and Y. Matsumoto: Development of testing technology for wide bus chip-to-chip interconnection in 3D LSI chip stacking system, *Workshop Digest of 4th IEEE International Workshop on Testing 3D Stacked ICs*, (2013).
- [30] M. Aoyagi, N. Watanabe, M. Suzuki, K. Kikuchi, S. Nemoto, N. Arima, M. Ishizuka, K. Suzuki and T. Shiomi: New optical three dimensional structure measurement method of cone shape micro bumps used for 3D LSI chip stacking, *Proc. 3DIC*, 1-5 (2013).
- [31] S. Melamed, F. Imura, M. Aoyagi, H. Nakagawa, K. Kikuchi, M. Hagimoto and Y. Matsumoto: Method for back-annotating per-transistor power values onto 3DIC layouts to enable detailed thermal analysis, *Proc. ICEP 2014*, 239-242 (2014).
- [32] S. Melamed, T. Thorolfsson, T. R. Harris, S. Priyadarshi, P. Franzon, M. B. Steer and W. R. Davis: Junction-level thermal analysis of 3D integrated circuits using high definition power blurring, *IEEE Trans. Comput.-aided Design Integr Circuits Syst.*, 31 (5), 676-689 (2012).
- [33] Y. Matsumoto and T. Nakamura: Scalable multi-core SoC platform for low-powered architecture, *Proc. Cool Chips X*, (2007).
- [34] M. Chacin, H. Uchida, M. Hagimoto, T. Miyazaki, T. Ohkawa, R. Ikeno, Y. Matsumoto, F. Imura, M. Suzuki, K. Kikuchi, H. Nakagawa and M. Aoyagi: COOL interconnect low power interconnection technology for scalable 3D LSI design, *Proc. Cool Chips XIV*, 1-3 (2011).
- [35] Y. Matsumoto, T. Morimoto, M. Hagimoto, H. Uchida, N. Hikichi, F. Imura, H. Nakagawa and M. Aoyagi: Cool System scalable 3D stacked heterogeneous Multi-Core/Multi-Chip architecture for ultra low-power digital TV applications, *Proc. Cool Chips XV*, 1-3 (2012).
- [36] 居村史人, 根本俊介, 渡辺直也, 加藤史樹, 菊地克弥, 仲川博, 萩本有哉, 内田裕之, 大森貴志, 日比康守, 松本祐教, 青柳昌宏: 3次元積層LSIシステムに向けた超並列通信バス方式によるチップ間インターコネクト技術, *電子情報通信学会技術研究報告*, 112 (170), 43-48 (2012).
- [37] M. Aoyagi, F. Imura, S. Nemoto, N. Watanabe, F. Kato, K. Kikuchi, H. Nakagawa, M. Hagimoto, H. Uchida and Y. Matsumoto: Wide bus chip-to-chip interconnection technology using fine pitch bump joint array for 3D LSI chip stacking, *Proc. IEEE CPMT Symposium Japan (ICSJ)*, 183-186 (2012).
- [38] NEDO次世代スマートデバイス開発プロジェクト, http://www.nedo.go.jp/activities/ZZJP_100059.html, 閲覧日2013-10-31.

執筆者略歴

青柳 昌宏 (あおやぎ まさひろ)

1982年名古屋工業大学工学部電子工学科卒。同年通商産業省工業技術院電子技術総合研究所に入所。以降、超伝導デバイスの集積回路・システム技術、高速・高密度実装システム技術等の研究開発等に従事。1991年名古屋工業大学博士(工学)取得。1994-1995年英国国立物理学研究所客員研究員。2001年(独)産業技術総合研究所エレクトロニクス研究部門高密度SIグループ長、2011年ナノエレクトロニクス研究部門3D集積システムグループ長。2012年同副研究部門長。2015年産総研つくばイノベーションアリーナ推進センター連携推進ユニット長。埼玉大学大学院連携教授。エレクトロニクス実装学会、応用物理学会、電気学会、日本機械学会、表面技術協会、IEEE、IMAPS、IET、SPIE、ASME各会員。3次元実装技術全般の研究開発を担当。



居村 史人 (いむら ふみと)

2002年熊本大学工学部電気システム工学科卒。2007年熊本大学大学院自然科学研究科博士後期課程システム情報科学専攻修了。博士(工学)。同年(独)産業技術総合研究所エレクトロニクス研究部門に所属、産総研特別研究員。2012年ミナマルファブ技術研究組合研究員。2015年産総研エレクトロニクス研究部門支援研究員。3次元積層実装基盤技術の研究開発を担当。



加藤 史樹 (かとう ふみき)

2004年立命館大学卒。2009年同大学院理工学研究科博士課程フロンティア理工学専攻修了。博士(工学)。同年(独)産業技術総合研究所ナノエレクトロニクス研究部門に所属、産総研特別研究員。2012年産総研先進パワーエレクトロニクス研究センター特別研究員。2014年同任期付研究員。エレクトロニクス実装学会会員。3次元積層実装放熱技術の研究開発を担当。



菊地 克弥（きくち かつや）

1996年埼玉大学工学部電気電子工学科卒。2001年同大学院理工学研究科博士後期課程情報数理解科学専攻了。博士（工学）。同年、(独)産業技術総合研究所エレクトロニクス研究部門高密度SIグループ所属。以降、LSI電子実装技術における三次元実装技術をはじめとする次世代電子実装技術、超高速・高周波実装技術、およびその計測・評価技術の研究開発等に従事。2011年同ナノエレクトロニクス研究部門3D集積システムグループ所属。2015年同3D集積システムグループ長。電子情報通信学会、エレクトロニクス実装学会、応用物理学会、IEEE各会員。3次元積層実装設計評価技術の研究開発を担当。



渡辺 直也（わたなべ なおや）

2004年九州工業大学大学院情報工学研究科博士後期課程修了。博士（情報工学）。九州工業大学、くまもとテクノ産業財団、福岡県産業・科学技術振興財団に所属。2011年(独)産業技術総合研究所ナノエレクトロニクス研究部門研究員。IEEE、エレクトロニクス実装学会、応用物理学会各会員。3次元積層実装基盤技術の研究開発を担当。



鈴木 基史（すずき もとひろ）

1983年名古屋工業大学工学部電子工学科卒。同年通商産業省工業技術院電子技術総合研究所入所。2007年エレクトロニクス研究部門高密度SIグループ。2009年評価部研究評価推進室。2010年同高密度SIグループ。2011年同3D集積システムグループ。2013年退職。エレクトロニクス実装学会、応用物理学会、情報処理学会各会員。3次元実装電気評価技術の研究開発を担当。



仲川 博（なかがわ ひろし）

1978年東京理科大学卒、1996年東京理科大学博士（工学）取得。(独)産業技術総合研究所において、超伝導集積回路、高密度電子実装技術、パワーエレクトロニクス実装技術の各研究に従事。エレクトロニクス実装学会、電気学会、応用物理学会各会員。3次元実装基盤技術の研究開発を担当。



岡田 義邦（おかだ よしくに）

1965年名古屋大学工学部電子工学科卒。1970年同大学院博士課程修了。同年通商産業省工業技術院電気試験所入所。論理システム・分散システム・情報ベース研究室・情報計算センター長を経て1999年技術研究組合新情報処理研究機構、2002年(株)知識情報研究所に所属。2004年(独)産業技術総合研究所エレクトロニクス研究部門高密度SIグループに所属。2010年退職。情報処理学会会員。3次元実装インターフェース技術の研究開発を担当。



横島 時彦（よこしま としひこ）

1997年早稲田大学理工学部応用化学科卒。2002年同大学院博士課程修了。博士（工学）。2001年早稲田大学理工学部助手。2003年同理工学総合研究センター客員講師。2004年同各務記念材料技術研究所客員講師（秋田県高度技術研究所出向）。2005年(独)産業技術総合研究所エレクトロニクス研究部門特別研究員。3次元実装プロセス技術の研究開発を担当。現在、早稲田大学理工学術院上級研究員・研究院教授。



山地 泰弘（やまじ やすひろ）

1983年東京工業大学工学部金属工学科卒。1985年同大学院総合理工学研究科材料科学専攻修士課程修了。同年(株)東芝入社。半導体事業本部にてアドバンスト・LSIパッケージ開発業務を担当。1999年技術研究組合超先端電子技術開発機構出向。2007年(独)産業技術総合研究所エレクトロニクス研究部門テクニカルスタッフ。2010年埼玉大大学院博士課程修了。博士（工学）。3次元実装プロセス技術の研究開発を担当。現在、(株)ジェイデバイス開発部所属。



根本 俊介（ねもと しゅんすけ）

2006年いわき明星大大学院修士課程修了。同年(株)アルプスビジネスサービス所属。2009年(独)産業技術総合研究所エレクトロニクス研究部門テクニカルスタッフ。2015年埼玉大大学院博士課程在学中。電子情報通信学会、エレクトロニクス実装学会各会員。3次元実装プロセス技術の研究開発を担当。



Thanh Tung BUI（たん とうん ぶい）

2004年ベトナム国家大学卒。2006年ベトナム国家大学電気電子通信工学部MEMSとマイクロシステム研究室研究員。2008年立命館大学大学院理工学研究科創造理工学専攻修士課程修了。2011年立命館大学大学院理工学研究科総合理工学専攻博士課程後期課程修了。博士（工学）。同年(独)産業技術総合研究所ナノエレクトロニクス研究部門特別研究員。光電気複合実装技術、3次元実装プロセス技術の研究開発を担当。



Samson MELAMED（さむそん めらめど）

2004年メリーランド大学コンピュータ工学科卒。2007年ノースカロライナ州立大学電気工学専攻修士課程修了。2011年ノースカロライナ州立大学電気工学博士課程修了。PhD。2012年(独)産業技術総合研究所JSPSリサーチフェロー（欧米短期）。2013年産総研特別研究員。2014年JSPSリサーチフェロー（定着促進）。3次元実装設計解析技術の研究開発を担当。



査読者との議論

議論1 この論文の位置付け

コメント（小林 直人：早稲田大学研究戦略センター）

この論文は3次元 IC チップ積層技術開発のためのシナリオを描き、そのシナリオに沿って目標を実現する要素技術とその統合設計技術等と成果を述べたものであり、シンセオロジーの論文としてふさわしいものと言えましょう。ただし、最も重要な研究目標やその特色、要素技術を統合する中間統合技術の詳細がやや不明確なので、その点を補強するとともに研究全体を俯瞰した記述や図示等を期待します。

回答（青柳 昌宏）

「要素技術を統合する中間統合技術」について、まとめて記述できる段階にはまだないと考えております。次回の執筆機会がもしあるとすれば、異分野融合の研究手法の例として、ぜひチャレンジしてみたいと思っております。

コメント（金丸 正剛：産業技術総合研究所）

この論文は、集積回路の集積度向上を目指す新しい手法である3次元積層技術に関する産総研での研究開発の成果を報告したものです。3次元積層技術はアイデアとしてはこれまでもありましたが、集積回路の集積度が素子の微細化により進んでいるときには、3次元化の技術的困難さもあることから研究開発の主題ではありませんでした。微細化限界が認識されるようになった現時点では、改めて3次元積層技術が注目されています。しかし、この技術は多くの技術課題があり、そのための要素技術開発が必要です。産総研がこの課題に取り組むために、限られた研究リソースを効果的に利用する戦略を取ってきたと考えます。その観点での取り組みをこの論文でより明確に論じていただければ、要素技術のインテグレーションが必要な他の研究課題を遂行する場合の有益な情報になると考えます。

回答（青柳 昌宏）

3次元積層技術の課題に取り組むために、限られた研究リソースを効果的に利用する戦略の具体的な取り組みについて、課題の優先順位と研究リソースの確保状況について、時系列で分かるように追記いたしました。

議論2 目標について

コメント（小林 直人）

この論文では3次元 IC チップ積層技術の系統的な開発を目指していることは分かりますが、他にはない特色ある実用技術として何をどの程度実現することを目標としているのか、またその技術の実現により企業はどのようにそれを利用できるのか等を記述されることを望みます。特に、第6章に「最終的なアウトカムとしての実用システムに対応した設計・試作・評価の環境提供」と記されていますが、それを最終目標であるとした場合、この研究では現実的なアウトプットとして何を目標としたのか等の記載があるとよいと思います。記載の個所としては、2章の最後がよいと思いますが、その場合、2章のタイトルを例えば「3次元 IC 積層実装による電子ハードウェアシステム集積技術の高度化とこの研究の狙い」等としてはいかがでしょうか。

回答（青柳 昌宏）

ご指摘いただきました「この研究で目標とした現実的なアウトプットの記載があるとよいと思います。」について、2章の最後に追記をいたしました。

議論3 競合技術との比較

質問・コメント（金丸 正剛）

図1で示されたSOC、SiP、3次元積層技術の比較を、電子システムを構築する観点での利害得失をこの論文で分かりやすく論じてください。その結果として、技術的困難さの高い3次元積層技術が期待される理由が明確になると、この論文の価値が読者に理解されるのではないのでしょうか。

回答（青柳 昌宏）

3次元積層技術の実施形態は、性能向上の指標として、性能、消費電力、サイズ、設計コスト、製造コスト等を考えたとき、さまざまな値の組み合わせ（性能優先、コスト優先など）で実施可能であり、単純な利害得失を比較するのが難しいと考えています。この論文では、代表例として、消費電力優先の実施例を取り上げています。

議論4 3次元積層技術の具体的応用分野

質問・コメント（小林 直人）

汎用的な半導体技術は、開発に大きな投資が必要であり、また競争も厳しく変化の速い技術です。そのためSOC技術はビジネス上の苦戦を強いられていると文中（第2章）にも書かれていますが、3次元積層技術も役立つとなればこのようなハイエンド技術においても極めて近未来に実用化される可能性があり、同様のビジネス上の課題が生起すると思われます。その一方で、センサー、アクチュエータ等と組み合わせた機能性半導体デバイスの場合にはより特殊な技術も必要だと思われ、すでにTSVが利用されている部分もあります。この研究で狙っている3次元積層半導体の出口（具体的応用分野）はどんな点なのでしょう。

回答（青柳 昌宏）

この研究で狙っている3次元積層半導体の出口（具体的応用分野）について、5章に追記をしました。

議論5 3次元積層技術によるコスト削減

質問・コメント（小林 直人）

3次元積層技術はすでに世界中で注目されており、すでにSOCとDRAMの積層化等が取り組まれているものの、現状ではコストが隘路になっていると聞いています。文中（第2章）では、3次元 IC チップ積層技術により開発・製造のコストもSOCに比べて大幅削減が可能と書かれていますが、SiP技術の発展形としての3次元積層技術の具体的なコスト見積もりや見通しがあればご教示ください。

回答（青柳 昌宏）

コストに関する見積もりについて、公開情報の範囲内では、確度のある見積もりが困難な状況です。一般的な記述を追記するとともに、技術調査会社の関連資料を参考文献に追加しました。