

# 仕 様 書

## 1. 件名

物理攻撃評価ボード

## 2. 研究の概要

国立研究開発法人産業技術総合研究所サイバーフィジカルセキュリティ研究部門では、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) からの受託研究である「半導体・電子機器等のハードウェアにおける不正機能排除のための検証基盤の確立の研究開発」において、半導体解析による検証で、ハードウェアに侵襲・改変を伴うことなく不正機能を検知する技術として、不正機能の挿入前後におけるハードウェアの電気的な変化を計測する技術の構築を実施している。本装置は、実装形態が異なる複数種類の不正機能を混入させた測定対象評価ボードである。

## 3. 装置の概要

物理攻撃評価ボードを攻撃対象となる機器として用い、機器の挙動変化や出力をモニタリング可能な制御用装置を用いて計測する。ここで、物理攻撃評価ボードは物理構造および回路構成が異なる 2 種類のボードを用いる。物理攻撃評価ボードの個体差および製造ばらつきを評価するために、それぞれ複数台使用する。

## 4. 装置の基本構成

4.1 物理攻撃評価ボード I 15 台

4.2 物理攻撃評価ボード II 3 台

## 5. 基本構成別仕様

5.1 物理攻撃評価ボード I 15 台

- (1) 144 ポート以上の I/O ピンを有する FPGA を搭載していること。
- (2) FPGA の電源電圧観測用の同軸ポートおよびクロック供給用ポートを有していること。
- (3) FPGA をボード内部で制御可能な CPU チップを有していること。
- (4) 電源供給は 1 V、3.3 V を添えていること。
- (5) インターフェースとして汎用 PC と接続可能な USB ポートを有してい

ること。

- (6) 重量は1.0 kg 以下であること。
- (7) FPGA の電源電圧信号を増幅可能なオンボード増幅器を備えていること。

## 5.2 物理攻撃評価ボード II 3台

- (1) 400 ポート以上の I/O ピンを有する FPGA を搭載していること。
- (2) FPGA の電源電圧観測用の同軸ポートおよびクロック供給用ポートを有していること。
- (3) FPGA をボード内部で制御可能な CPU チップを有していること。
- (4) 電源供給は1 V、3.3 V を添えていること。
- (5) インターフェースとして汎用 PC と接続可能な USB ポートを有していること。
- (6) FPGA の電源電圧信号を増幅可能なオンボード増幅器を備えていること。

## 6. 納入物品

物理攻撃評価ボード 一式

## 7. 納入の完了

本装置は、「6. 納入物品」に記載された納入物品が過不足なく納入され、仕様書を満たしていることを確認して、納入の完了とする。

## 8. 納入期限及び納入場所

納入期限：2025 年 7 月 31 日

納入場所：東京都江東区青海 2-3-26

国立研究開発法人産業技術総合研究所  
サイバーフィジカルセキュリティ研究部門  
臨海副都心センター本館 1 階 1102 室

## 9. 付帯事項

- 9.1 納入された製品における能力内の使用中に発生した納入の完了後 1 年以内の故障については、その修理、調整等責任をもって無償で行うこと。
- 9.2 本仕様書の技術的内容及び知り得た情報に関しては、守秘義務を負うものとする。

- 9.3 本仕様書の技術的内容に関する質問等については、調達請求者と協議すること。また、本仕様書に定めのない事項及び疑義が生じた場合は、調達担当者と協議のうえ決定する。