

積層CMOS向け多結晶Ge無接合FET 実用レベルの良好なスイッチング特性を実現



鎌田 善己

かまた よしき

yoshiki.kamata@aist.go.jp

ナノエレクトロニクス研究部門
連携研究体グリーン・ナノエレクトロニクスセンター
特定集中研究専門員
(つくばセンター)

機能を安価に高集積化することで生み出される新しい価値を創造するため、新材料、新構造の本質を見抜き、その性質を利用した新しい集積回路を実現することを目指しています。

関連情報：

● 共同研究者

上牟田 雄一、池田 圭司、古瀬 喜代恵*、小野 瑞城、小田 稔、守山 佳彦、白田 宏治、小池 正浩、入沢 寿史、黒澤 悦男、手塚 勉 (産総研)

*現在は東芝

● 用語説明

* CMOS：*p*型と*n*型のMOSFET**を組み合わせて構成した論理回路で、低消費電力化ICを実現するためには必須な構成要素の一つ。

** MOSFET：シリコンやゲルマニウムなどの半導体基板上に、酸化膜を介してゲート電極を形成し、その両側にソース、ドレイン電極を形成した電界効果トランジスタ (metal-oxide-semiconductor field effect transistor)。

● プレス発表

2013年6月10日「3次元積層集積回路のための多結晶ゲルマニウムトランジスタ」

●この研究開発は、政府の最先端研究開発支援プログラムにより助成されています。

積層CMOS技術への期待

これまで、集積回路 (IC) の高集積化・高性能化はトランジスタの微細化によってもたらされてきました。しかし近年、微細化に伴いオフ電流の増加、配線遅延の増大、電流駆動力の飽和といった副作用が生じ、次第に微細化が難しくなっています。この問題を解決するには、配線を含むICを連続的に多層に形成できる技術 (積層CMOS*技術) が有望です (図1)。別々に作製されたICを積層する技術 (TSV、μバンプなど) も検討されていますが、高コスト、合わせ余裕が数μm以上という問題点があり、チャネルを積層する技術が注目されています。

多結晶ゲルマニウム無接合FETの性能

トランジスタのチャネル材料を積層する場合、低コスト化の観点からは単結晶材料よりも多結晶材料が好ましく、上層のトランジスタ作製時の熱が下層のCMOS回路を劣化させないためには低温で多結晶化する材料が好ましく、さらに電流を多く流すためには高移動度材料が望ましいと考えられます。そのため低温で多結晶化でき、シリコン (Si) より高移動度であるゲルマニウム (Ge) が、積層CMOSのチャネル材料に適しています。そこで私たちは今回、多結晶Geトランジスタを試作しました (図2)。電流を確実にオフするために、チャネルの幅を空乏層 (自由電子と正孔がほとんど存在しない領域) の

厚さ以下にする必要があり、図2の透過電子顕微鏡像に示すように7 nmまで縮小しました。

今回試作したトランジスタの伝達特性 (ドレイン電流-ゲート電圧特性) を調べたところ、Geのようなバンドギャップが狭い材料でもソース/ドレイン接合をもたないトランジスタ構造を用いることでオフ電流を小さくできることがわかりました。オフ電流の最小値は0.3 nA/μmであり、この値は低消費電力版のSiトランジスタで要求されるオフリーク電流値 (10 nA/μm) を下回っており、ドレイン電圧が-1 Vでも5桁を超えるオン/オフ比が得られ、実用化レベルの値といえます。また、短チャネルトランジスタで問題となるドレイン電圧の違いによるしきい値電圧変動も、今回試作したゲート長40 nmのトランジスタでは十分抑制されました。さらに寄生抵抗を下げるためにニッケル合金層を用いることが有効であり、ゲート長80 nmの同世代の単結晶Siトランジスタの約半分の電流 (100 μA/μm) が得られることがわかりました。

今後の予定

今回は*p*型トランジスタに関する動作検証を行いました。今後は*n*型トランジスタについてもプロセスを確立し、CMOS回路動作を目指します。さらに、Geの高移動度特性を生かして、結晶Siトランジスタを超える性能を目指します。

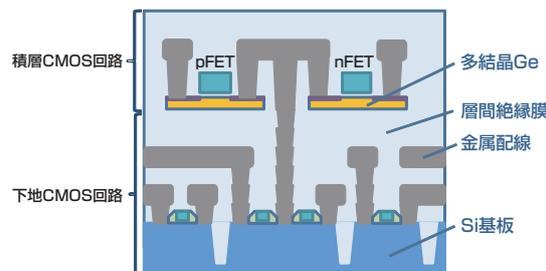


図1 積層集積回路の概念図

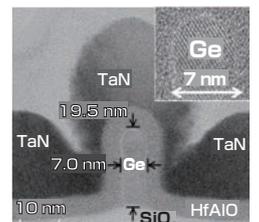
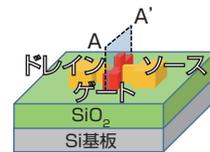


図2 試作した素子のA-A'断面構造