

スピンRAMの大容量化を目指す垂直磁化TMR素子

5 Gbitを超えるスピンRAM(MRAM)の設計が可能に



薬師寺 啓

やくしじ けい

k-yakushiji@aist.go.jp

ナノスピントロニクス研究センター
金属スピントロニクスチーム
主任研究員
(つくばセンター)

東北大学金属材料研究所助手を経て、2006年7月産総研入所。スピンRAMの製品化を目指しています。

関連情報：

● 共同研究者

猿谷 武史、久保田 均、福島 章雄、長浜 太郎、湯浅 新治、安藤 功兒（産総研）

● 参考文献

K. Yakushiji *et al.*: *Appl. Phys. Express* 3, 053003 (2010).

● プレス発表

2010年5月13日「スピンRAM (MRAM) の大容量化を可能にする垂直磁化TMR素子」

スピンRAMの大容量化

省エネルギーの観点からパーソナルコンピュータ、携帯電話などの電子機器に多く使われている半導体メモリー（DRAM）の不揮発化（情報の書き込み、読み出しだけに電力が必要で、記憶保持には電力を使わない）が強く求められています。TMR素子をベースとするスピンRAMは、これまでの半導体メモリーを上回るユニバーサルメモリーとして開発が進められています。これまでに、面内磁化TMR素子を記憶素子とする数十メガビット（Mbit）の小容量スピンRAMが試作され、高いポテンシャルが実証されています。しかし、コンピュータ内部で使われているDRAMを置き換えるため、垂直磁化TMR素子を用いたGbit級大容量スピンRAMの実現が強く求められています。

今回開発した技術

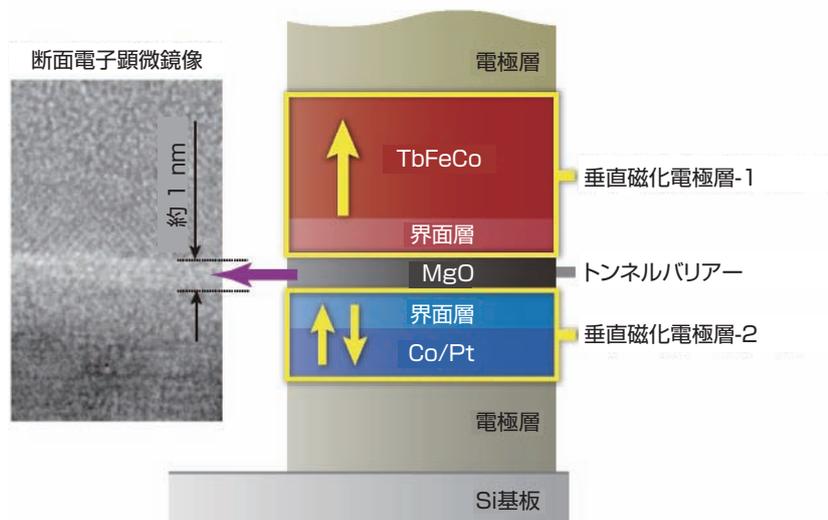
1 Gbit級スピンRAMに要求される読み出し性能である素子抵抗値（RA値）が、 $30 \Omega \mu\text{m}^2$ 以下で、磁気抵抗比（MR比）が50%以上の垂直磁化TMR素子を世界で初めて開発しました。下図（右）に、開発した垂直磁化TMR素子の積層構造の概略を示します。垂直磁化電極層-1は、テルビウム鉄コバルト（TbFeCo）層と界面層、トンネルバリアー（MgO）層、垂直磁化電極層-2はコバルト/白金（Co/Pt）層と界面層から構成され、垂直磁化電極層-2の磁化の向きによって情報を記憶できます。

積層と界面層から構成され、垂直磁化電極層-2の磁化の向きによって情報を記憶できます。

30 $\Omega \mu\text{m}^2$ 以下のRA値を実現するためには、トンネルバリアーとして用いる酸化マグネシウム（MgO）層の厚さを、1.3 nm程度以下に薄くすることが必要です。私たちは、原子レベルで平坦な表面の垂直磁化電極層-2、および、極薄かつ均一な膜厚（約1 nm）のトンネルバリアー層（MgO層）の形成に成功し（図左）、これにより垂直磁化TMR素子のRA値として世界最高レベルの約4 $\Omega \mu\text{m}^2$ を達成しました。また、結晶性のコバルト鉄（CoFe）合金とアモルファス合金であるコバルト鉄ボロン（CoFeB）合金を組み合わせた界面層を開発し、同時に高いMR比（85%）を実現しました。この技術により、5 Gbit以上の大容量スピンRAMの回路設計が実現可能となりました。

今後の展開

高性能垂直磁化TMR素子の作製技術を確立したことにより、今後は大容量スピンRAMの開発が大きく前進すると期待しています。この技術をベースにさらに高いMR比の実現に努め、大容量スピンRAMの量産化技術の確立を目指します。



開発した垂直磁化TMR素子の断面構造の電子顕微鏡写真（左）と断面構造の模式図（右）
超薄膜平坦化技術と高スピン分極界面層の開発により、超低RA値と高MR比の両立に成功。