

# ダブルゲートMOSトランジスタを用いたSRAMの新回路

## 動作安定性の大幅な向上により 22 nm 世代高速メモリー技術にも目途



大内 真一

おおうち しんいち

shinichi.ouchi@aist.go.jp

エレクトロニクス研究部門  
先端シリコンデバイスグループ  
研究員  
(つくばセンター)

1974年生まれ。2002年東京大学工学系研究科電子情報工学専攻 博士課程修了。博士(工学)。同年株式会社東芝入社、同社研究開発センターに勤務。2005年より現職。次世代集積回路素子FinFETの回路応用について研究を進め、産総研の優れたデバイス技術の普及を目指しています。

### 関連情報：

- 共同研究者

昌原 明植、遠藤 和彦、柳 永助、松川 貴、坂本 邦博、鈴木 英一 (産総研)

- 参考文献

S. O'uchi et al., "Flex-Pass-Gate SRAM Design for Static Noise Margin Enhancement Using FinFET-Based Technology", Proceedings of IEEE 2007 Custom Integrated Circuits Conference (2007 CICC), pp. 33-36, September 2007, San Jose, California.

- プレス発表

2007年9月18日「フィン型トランジスタを用いたSRAMの新回路構成を考案」

● 今後は、本年度より実施の経済産業省の研究開発プロジェクト「ナノエレクトロニクス半導体新材料・新構造技術開発—うち新材料・新構造ナノ電子デバイス」を通じて、原理実証を行っていきます。

### 集積回路素子の微細化

情報通信機器は、集積回路の技術革新によって発展してきました。集積回路の高機能・高性能化は、その構成要素である素子を微細化することによって実現されます。同時に、素子微細化は生産コストの低減にもつながるため、生産現場では、素子微細化の熾烈な競争が続いています。しかし、技術開発の難しさは年々高くなっており、2013年以降に市場への投入が想定されている22 nm 世代トランジスタ技術では、素子の寸法が現在の半分に縮小されるのに伴い、素子性能のばらつきが重大な問題になると危惧されています。特に、システムLSIやマイクロプロセッサの50%以上の面積を占めるSRAM(随時書き込み読み出し可能な高速メモリー)では、素子性能のばらつきにより歩留まりの低下が深刻になると予想されています。

### 新方式SRAM回路構成を考案

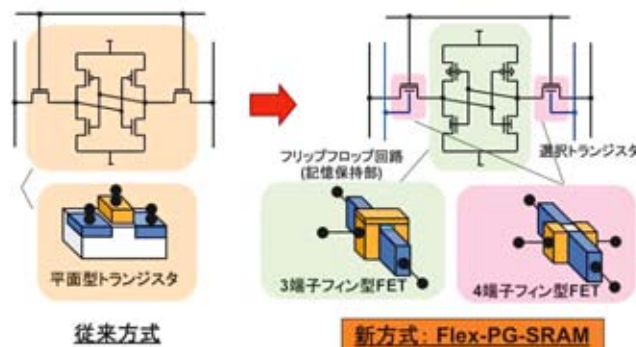
従来型のCMOS式SRAMは、平面型の3端子型トランジスタ6個で構成されていました。これに対し、私たちが考案した回路は、素子性能のばらつきの小さなフィン型ダブルゲートMOS電界効果型トランジスタ(3端子フィン型FET)と呼ばれる立体型新構造トランジスタと、これに電流駆動力を調整する機能を加えた4端子フィン型FETで構成されます。3端子フィン型FETは記憶保持部に用いられ、4端子フィン型FETは記憶保持部にデータを入出力する選択トランジスタとして用いられます。

一般に、SRAMセルでは、データ書き込み時

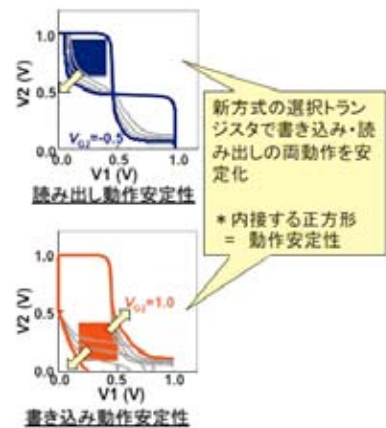
の動作安定性を増大するには電流駆動力の大きな選択トランジスタが好ましく、逆に、データの読み出し時には電流駆動力の小さな選択トランジスタが適しています。従来型のSRAMでは、この点で設計条件の矛盾が存在しており、素子特性のばらつきが増大した場合には設計が破綻し、正しく動作しなくなる恐れがありました。

新方式では、選択トランジスタを電流駆動力可変の4端子フィン型FETにしたことで、書き込み・読み出しの双方で最適な動作を実現できるようになります。その結果、回路の雑音に対する強靱性が向上すると同時に、雑音と等価な効果を持つ素子特性のばらつきに対する強靱性も増すことになります。22 nm 世代トランジスタ技術を仮定した数値計算では、22 nm 世代相当の従来型平面トランジスタで構成されるSRAM回路に比べて、今回考案したSRAM回路は、平均で1.5倍以上の動作安定性を実現できる見通しを得ました。さらに、素子特性のばらつきに起因する動作安定性の分布も小さく抑えられることが分かりました。

大規模回路では設計目標から特性が大きく外れたSRAMセルが統計的に発生することが避けられません。しかし、新回路を用いると十分な動作安定性が保たれることを意味しており、歩留まりの改善につながります。今回得られた計算結果を単純に換算すると、2013年に市場投入が想定される量産型システムLSIに搭載のSRAMでも、十分な歩留まりが得られることになります。



従来方式と新方式 SRAM の回路構成と素子の比較



新方式における動作安定化の概念