

超低電力損失 SiC 静電誘導型トランジスタの開発に成功

炭酸ガス排出量の1%削減に寄与

SiC 静電誘導型トランジスタ (SiC-SIT) の素子構造、製造プロセスを改良することにより、耐圧 700V、オン抵抗 $1.01 \text{ m}\Omega \cdot \text{cm}^2$ という、耐圧 600 V ~ 1.2 kV 系のスイッチング素子としては、世界最高性能の超低損失パワートランジスタの開発に成功した。これにより、電力損失が従来のインバータ回路で用いられている Si パワートランジスタに比べて 1/12 と大幅に改善される見込みである。

A SiC-static induction transistors (SiC-SITs) with buried p+ gate regions by using hexagonal silicon carbide (4H-SiC) has been fabricated. The new SiC-SIT has breakdown voltage V_{BR} 700 V and specific on-resistance R_{onS} $1.01 \text{ m}\Omega \cdot \text{cm}^2$, which is the smallest R_{onS} in the world for switching devices of V_{BR} 600 V~1.2 kV class. The SiC-SIT will reduce power loss extensively to 1/12 that of silicon insulated gate bipolar transistor (Si-IGBT).

SiC 静電誘導型トランジスタ

炭化珪素 (SiC) は、シリコン (Si) と比較してバンドギャップ幅が約3倍と広く、絶縁破壊電界強度が約10倍と大きいため、耐熱性や耐電圧性に優れており、Siに代わる超低電力損失パワー素子の半導体材料として世界中で注目され研究・開発が進められている。SiCを用いたパワー素子の中でも、静電誘導型トランジスタ (SiC-SIT: Static Induction Transistor) は、SiC結晶中の高い電子移動度 ($\sim 900 \text{ cm}^2/\text{Vs}$) をそのまま生かせる、超低オン抵抗、高速スイッチング素子として期待されている。SITの性能を向上させるためのキーポイントは、チャンネル構造をどれだけ微細化できるかであるが、従来試みられてきた構造では微細化が難し

く、市販されている素子を含めてSiCの材料自体が持つ物理特性の限界には程遠い性能しか得られていなかった。

超低電力損失 SiC-SIT の開発

われわれは、p+ゲート領域を埋め込んだ構造の静電誘導型トランジスタ (埋込ゲート型 SiC-SIT: 図1参照) を、独自に開発した製造プロセスで作製し、耐圧700V、オン抵抗 $1.01 \text{ m}\Omega \cdot \text{cm}^2$ という、耐圧600 V~1.2 kV系のスイッチング素子としては、世界最小のオン抵抗を実現した。これにより、従来のインバータ回路で用いられている Si-IGBT (Insulated Gate Bipolar Transistor) と比較して、電力損失を 1/12 と大幅に削減できるものと見積もっている。

田中 保宣 Yasunori Tanaka
yasunori-tanaka@aist.go.jp

パワーエレクトロニクス研究センター
デバイスプロセスチーム 1 主任研究員

これまで、炭化珪素の素子化プロセスの中で、イオン注入による局所的伝導度制御に関する研究、さらに PN 接合を用いた整流素子の開発を主に行ってきた。これらの研究開発により蓄積した技術を基礎として、高性能な炭化珪素パワートランジスタの開発に成功した。今後の目標としては、まず実用化レベルの電流容量 (10 ~ 20 A) を備えた素子の開発を進める。また、同素子の応用範囲を広げるために、素子の基本構造はそのままに、n-ドリフト層の不純物濃度と厚みを最適化することにより、いっそうの高耐圧化 (1.2 ~ 2.0 kV) を図る。さらに、素子設計の最適化を図ることにより、従来の SiC-SIT では困難と言われてきたノーマリーオフ特性の実現を目指す。

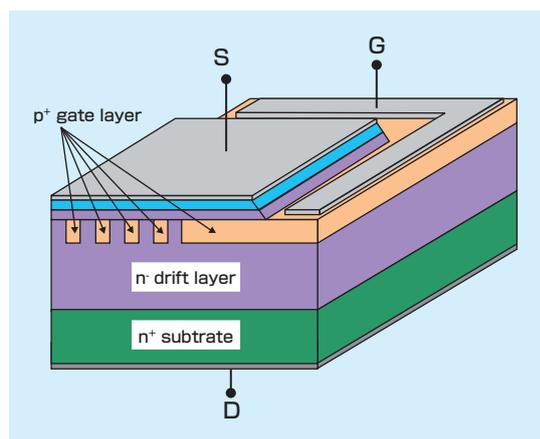


図1 埋込ゲート型 SiC-SIT 素子の断面模式図

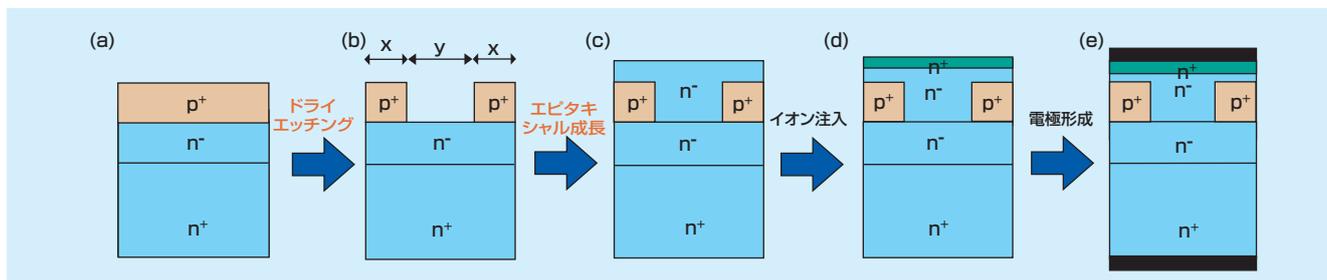


図2 埋込ゲート型SiC-SIT素子のプロセスフロー概略図

p⁺ゲート領域を形成するドライエッチング技術、及び微細な溝構造上へのエピタキシャル技術（前処理技術を含む）を新たに開発した。

図2に、今回新たに開発した埋込ゲート型SiC-SITの製造工程の概略図を示す。まず、(a) n⁺4H-SiC基板上にn-ドリフト層、p⁺ゲート層をエピタキシャル成長させる。次に、(b) ドライエッチング法によりp⁺ゲート層を離間させて、微細な溝構造を形成する。このエッチングプロセスの精度（p⁺ゲート領域の幅x、隣り合ったp⁺ゲート領域の間隔y）により素子の特性がほぼ決定されるため、素子の歩留まりを確保するためにはこのプロセスを再現性よく行うことが最も重要である。今回は、エッチングマスク材を新たに選定し、ドライエッチング条件（ガス種、ガス圧力、ガス流量、時間）の最適化を図ることにより、微細な溝構造を再現性良く形成することが初めて可能になった。この溝構造上に、(c) n-チャンネル領域をエピタキシャル成長により形成する。通常、エピタキシャル成長は平坦な基板で行われるが、SiC基板の結晶方位やエピタキシャル成長の条件（温度、ガス流量など）を最適化することにより、微細な溝構造上でのエピタキシャル成長が初めて可能となった。その後、(d) n⁺ソース領域をイオン注入によって形成し、活性化熱処理（1600℃）をして、(e) ソース電極とドレイン電極を形成することで素子が完成する。このようにして作製した埋込ゲート型SiC-SIT素子の断面電子顕微鏡像では、p⁺ゲート領域が完全に

埋め込まれ、それらの間にサブミクロンの幅でn-チャンネル領域が形成されていることが分かる（図3）。

新開発トランジスタがもたらす環境効果

今回作製した埋込ゲート型SiC-SITの電圧・電流特性では、ゲート電圧V_G=2.5 Vにおいて1.01 mΩ・cm²というきわめて低いオン抵抗が得られた（図4）。逆方向特性では、V_G=-12 Vにおいて700 Vの耐圧が得られており、これまでに報告されたSiCを含めた600 V～1.2 kV耐圧のスイッチング素子の中で、最も低いオン抵抗が実現された。従来のインバータ回路で用いられて

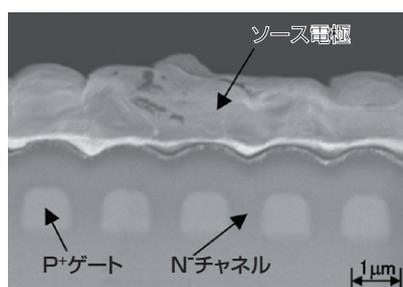


図3 埋込ゲート型SiC-SIT素子の断面電子顕微鏡像の一例

いるSiパワートランジスタ（IGBT）は、耐圧600 V、オン抵抗12～13 mΩ・cm²程度であるため、従来のものに比べて1/12と大幅な電力損失の削減が可能になると見積られる。また、今回作製した埋込ゲート型SiC-SITが各応用分野において実用化された場合、2020年時点での我が国の炭酸ガス排出量の削減効果は、1990年の我が国の全炭酸ガス排出量の1%に相当すると試算することが出来る。

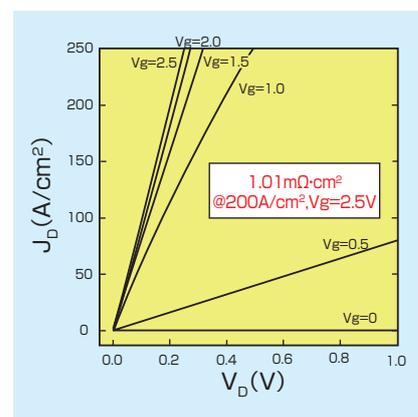


図4 埋込ゲート型SiC-SIT素子の電圧電流特性

関連情報：

- 共同研究者：岡本光央、八尾勉、高塚章夫（パワーエレクトロニクス研究センター）、矢野浩司（山梨大学大学院医学工学総合研究部）。
- 特許：特願 2005-065469「炭化珪素トランジスタ装置及びその製造方法」（田中保宣、八尾勉、岡本光央）。
- 講演発表：平成17年4月1日「埋込ゲート型SiC-SITの電気特性評価」第52回応用物理学関係連合講演会、1p-YK-8。
- プレスリリース：平成17年3月28日「各種インバータ用途の炭化珪素パワートランジスタで世界最高性能」。
- 日刊工業新聞、日経産業新聞、日刊自動車新聞、科学新聞：2005年3月29日～4月15日。