

半導体製造プロセスの開発コストを遺伝的アルゴリズムにより削減

次世代トランジスタモデル HiSIM の高精度自動合わせ込み

当研究センターでは、LSI開発などで回路シミュレーションに用いる次世代トランジスタモデルHiSIM (Hiroshima-university STARC IGFET Model)の、遺伝的アルゴリズムを応用した高精度自動合わせ込み技術の開発に成功した。

トランジスタモデルとは、回路シミュレーションにおいて、トランジスタの回路特性を正確に予測するモデル(近似式)のことで、LSI開発において最も重要で基本となる技術である。従来のトランジスタモデルでは、極微細トランジスタの記述が極めて複雑なため、設計技術者から新しいトランジスタモデルの出現が強く望まれていた。

現在、広島大と株式会社半導体理工学研究センター (STARC)が共同で開発しているトランジスタモデルHiSIMは、現行のスタンダードであるBSIMとは異なり、表面ポテンシャルに基づいたトランジスタモデルである。モデルパラメータの数が少ないこと(およそ70個)、SOI (Silicon On Insulator)など構造が複雑なトランジスタのモデル化についても柔軟に対応できること、高周波領域でのシミュレーションが容易であること、などの特徴があり、次世代のトランジスタモデルとして期待されている。

しかし、HiSIMによるシミュレーション結果が正確であるためには、複数のモデルパラメータを、あらかじめ計測したトランジスタの電気特性と一致するように調整する必要がある。この工程は「合わせ込み」と呼ばれ、合わせ込みが

十分にできていないと計算精度が低下してしまい、回路シミュレーションで正確な予測をすることができない。HiSIMはモデルパラメータの数が、BSIM (約400個)と比較してかなり少ないが、原理的にすべてのモデルパラメータを一括して合わせ込むことが必要であり、そこでは従来のBSIMにおける合わせ込みのノウハウが使えないため、合わせ込み工程の効率化がHiSIM普及の鍵を握っていた。

本研究開発では、人工知能の遺伝的アルゴリズムを応用することで、熟練者でも数日かかることのあるHiSIMの合わせ込み工程を、およそ数時間程度で自動化することに成功した。最先端の製造プロセス(90nmルール)で試作したトランジスタの実測値によりその有効性を検証した結果、本技術によって合わせ込んだHiSIMのシミュレーション結果と実測値との誤差は平均2.5%以内でほぼ一致した。これにより、極微細トランジスタの性能予測、回路シミュレーションが短時間で可能となり、HiSIMの普及が加速し、最先端半導体製造プロセスの開発コスト削減に貢献できると期待される。次世代トランジスタモデルに関しては、標準化を推進する民間組織CMC (Compact Model Council)において、現在標準化活動が行われている。HiSIMは、アジアからの唯一の標準モデル候補として現在検討されており、本研究開発の成果がHiSIMの標準化を推進することが期待される。

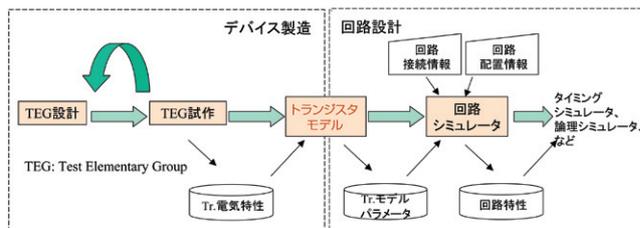


図1 トランジスタモデルの位置づけ
トランジスタモデルには複数のモデルパラメータが存在し、それぞれがトランジスタの物理的サイズ、基本特性値、物理現象の係数などを定める定数である。このモデルパラメータの数値が実際にデバイスを生産する工場などから提供され、そのパラメータ値を用いて回路設計が行われる。

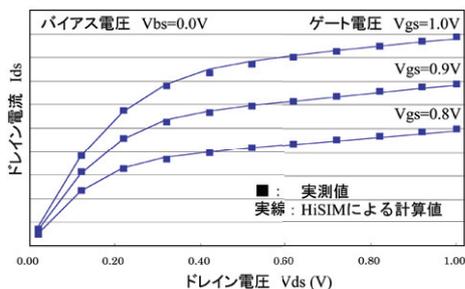


図2 提案手法によるチャンネル長 100nm、チャンネル幅 2.0 μm の MOSFET におけるドレイン電流-ドレイン電圧特性の合わせ込み結果

実験では、HiSIMの主要なモデルパラメータ 32 個を、トランジスタの電流特性値群 (STARC 提供) に一致するように合わせ込みを行った。熟練者でも数日かかる工程が、1 台の PC を使用しておよそ 23 時間、8 台の PC を使用した PC クラスタではおよそ 3 時間で自動化できた。

関連情報

- 共著者：樋口 哲也, 三村 周(次世代半導体研究センター)。
- 新聞記事：日刊工業新聞(平成16年11月26日), 日経産業新聞(平成16年11月26日), 化学工業日報新聞(平成16年11月26日)。
- 村川正宏：AIST Today, Vol. 4, No. 10, 21 (2004)。
- 本研究は、国立大学法人広島大学との共同研究である。
- 本研究は、半導体MIRAIプロジェクトの一環としてNEDOからの委託により実施している。



むらかわまさひろ
村川正宏
m.murakawa@aist.go.jp
次世代半導体研究センター