

4端子駆動型ダブルゲートMOSFETの開発に成功

4端子駆動で省エネ化と高速化を両立

産総研エレクトロニクス研究部門は、独立した二つのゲートをもち4端子駆動するデバイス技術を、次世代トランジスタとして期待されるダブルゲート型MOSFETで実現することに成功した。自在にしきい値電圧を制御するなどの独自の4端子駆動機能を、極薄チャネル厚 13nm の微細デバイスで系統的に実証した。

この技術開発は、旧電総研が提案したダブルゲートMOSFETをさらに進化させたもので、最適なパワー制御や動作速度制御などをフレキシブルにかつダイナミックに行う革新的LSI実現に先鞭をつけるものと期待される。

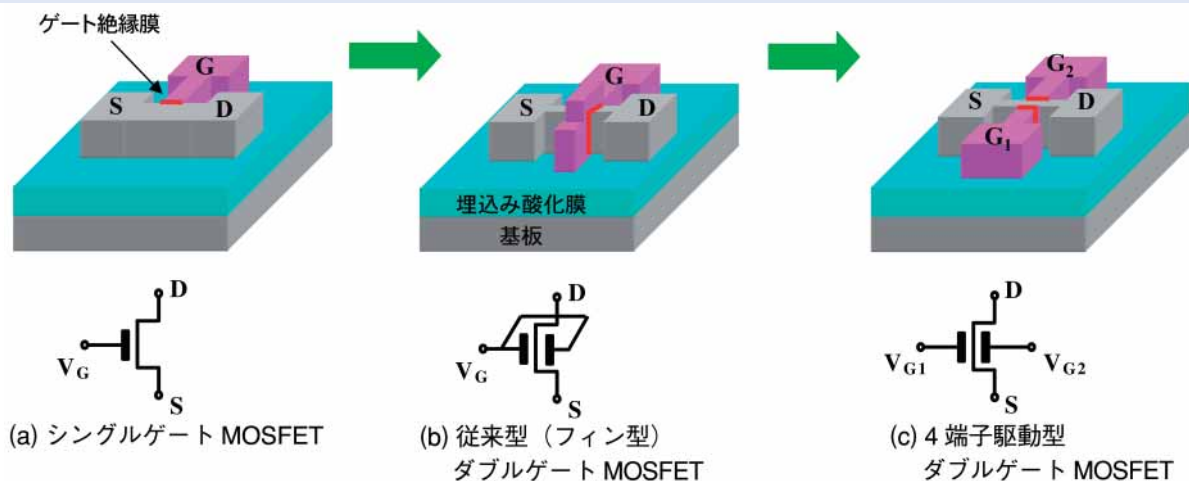
究極のMOSFETに新たな機能をインストール

IT社会をハードウェア面で支える半導体集積回路(VLSI)の驚異的な発展は、そこに用いられるMOSFET(MOS電界効果トランジスタ: これまではシングルゲート)の微細化によってなされてきた。しかしながら、これまで通り素子寸法を微細化して高機能・高集積化を続けていくことにはきわめて大きな障害(Red Brick Wall)が立ちだかっている。すなわち、素子寸法がますます小さくなると、リーク電流による消費電力が増え、短チャネル効果により素子の性能が悪くなるからである。これに対して、図1(b)に示す、ダブルゲートMOSFET(1984年電総研提案、当初XMOSと命名)は、二つのゲートによってドレインの影響を断ち切ることができるので、シングルゲートMOSFETの微細化限界を打破できる究極のトランジスタとして期待されている。しかし、

最も開発が進んでいる従来のフィン型ダブルゲートMOSFET(図1(b)参照)では二つのゲートはつながっているのと同じ電圧にしかならず、3端子駆動しかできなかった。これに対して今回、図1(c)に示すように二つのゲートを分離独立して4端子駆動できるダブルゲートMOSFETの開発に成功した。4端子化によって新たに獲得できた大きな機能は、二つのゲートのうち、一方のゲートでトランジスタのしきい値電圧 V_{th} を自在に制御できることである*注。この新たな機能は、オン電流、オフ電流を自由に制御できることを意味し、動作速度を犠牲にせず最適にパワー制御された超低消費電力VLSIを実現する道を拓いた成果と言える。さらには、一つの素子で独立に二つの入力が行える回路機能もあるため、集積回路素子数を大幅に削減できる可能性もある。

この新デバイス作製のために開発した、起立した極薄チャネル形成のための結晶面異方性ウエットエッチ技

図1 素子構造と等価回路からみたMOSFETの進化(上段が構造、下段が等価回路)
従来のシングルゲートMOSFETはゲートが上にある平面型であるが、比較のために横型に表現してある。

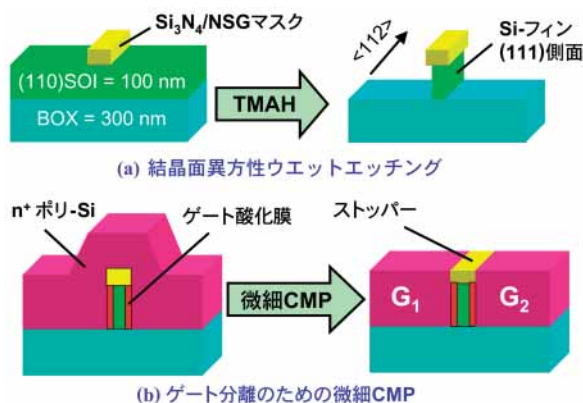


術、ゲート分離のための微細CMP技術は、現状の半導体技術とコンパクトな技術であり、実用化が容易であると考えられる。試作したチャンネル幅13nmの4端子駆動型ダブルゲートMOSFETにおいて、一方のゲート電圧によって、トランジスタのしきい値電圧 V_{th} を自由に変えることが出来ることを実証した。この機能は、高い V_{th} での低消費電力化と低い V_{th} での高速化を両立することができる画期的成果である。この成果は、昨年12月、世界最大の電子デバイスに関する国際会議である、2003 IEDM (2003 IEEE International Electron Devices Meeting) で発表され、大きな注目を集めている。

理想的な極薄矩形断面チャンネルを持つ4端子駆動型ダブルゲートMOSFET技術を開発

今回試作に成功した4端子駆動型ダブルゲートMOSFET(図1(c))は、独立した二つのゲートを持ち、別々に駆動する4端子動作が可能となる。このデバイス作製のための特徴あるキーププロセスを図2に示す。起立した極薄フィン型チャンネルの作製には、産総研が開発した結晶面異方性ウエットエッチを用いた。シリコン(Si)結晶のアルカリ系エッチ溶液(238% TMAH (tetramethylammonium hydroxide))に対するエッチ速度は強い結晶面方位依存性を持ち、(100)、(110)、(111)面の順に遅くなる。このことを利用して、(110) SOIウエハ(Si支持基板上に埋め込み酸化膜層を介して結晶Si層を持つ次世代ウエハ)に、 $\langle 112 \rangle$ 方向に位置合わせされた窒化膜/酸化膜($\text{Si}_3\text{N}_4/\text{NSG}$)マスクによって、Si-フィンを作製した。Si-フィンの側壁は、エッチ速度の極端に遅い(111)面となるので、精度よく微細なフィン型チャンネルを作ることができる。通常用いられるドライエッチではどうしても断面がだれてしまったベル型

図2 4端子駆動型ダブルゲートMOSFET作製のために開発した特徴あるキーププロセス
理想的な矩形断面チャンネル、原子サイズでフラットなチャンネル表面、ウエットプロセスによるダメージフリーを実現している。



になり、しきい値電圧 V_{th} のばらつきの原因となるが、この技術は、理想的な矩形断面チャンネルを作製する方法として、世界的に注目されている(2003 デバイスリサーチコンファレンス(DRC)など多数の国際会議で発表)。その後、 $\text{Si}_3\text{N}_4/\text{NSG}$ マスクをストッパーとして、微細CMP(化学的機械的研磨)技術によってゲート分離を行った。図3は、試作したSi-フィン厚13nmの4端子駆動型ダブルゲートMOSFET断面の透過型電子顕微鏡(TEM)写真と平面の走査型電子顕微鏡(SEM)写真を示す。ナノメートルサイズで、完璧な分離ダブルゲート作製に成功したのは世界で初めてである。

4端子駆動型ダブルゲートMOSFETの独自の機能を実証

図4(a)は、極薄Si-フィン厚13nm、ゲート長160nmのnチャンネル4端子駆動型ダブルゲートMOSFETの、制御ゲート電圧 V_{g2} を固定した場合のしきい値電圧 V_{th} 制御特性を示している。 V_{g2} に負の電圧を増やして行くと、 V_{g1} に対する V_{th} は正方向に制御され、元々 V_{th} が負の値であったこのデバイスが、 $V_{g2} = -0.6\text{V}$ ですでに正の値となって動作していることがわかる。この V_{th} 制御性は、短チャンネル効果抑止特性と同様にSi-フィン厚が薄いほど優れていることも系統的に明らかにした。 V_{th} を変化させる技術には、基板バイアスや2種類のゲートを使うデュアルゲートなどこれまでもあるが、前者では全面での V_{th} 変化しかできず、後者では取りうる値が2つだけに制限されるなど、大きな制約があった。 V_{g2} 固定モードでの V_{th} 制御の場合、ドレイン電流立ち上がり特性は、従来型ダブルゲートMOSFETよりもSi-フィン厚が薄いほど若干犠牲になる。しかし、図4(b)に示すように、 V_{g2} にオフセットをかけて、 V_{g1} 、 V_{g2} を追従モー

図3 試作した4端子駆動型ダブルゲートMOSFETの、(a) 極薄13nm厚Si-フィンチャンネル断面TEM写真、(b) 平面SEM写真
理想的な矩形断面、完璧に分離された二つのゲート、正確なアライメントを実現している。

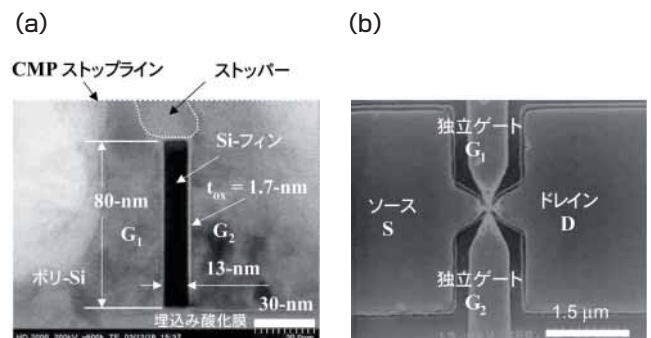
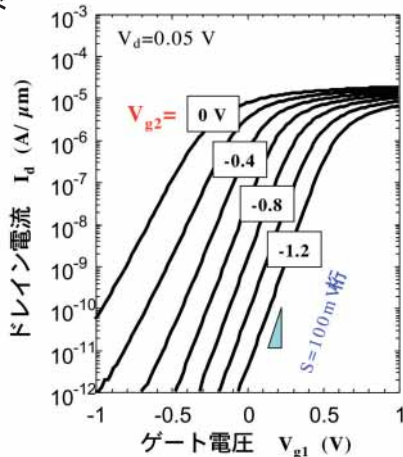
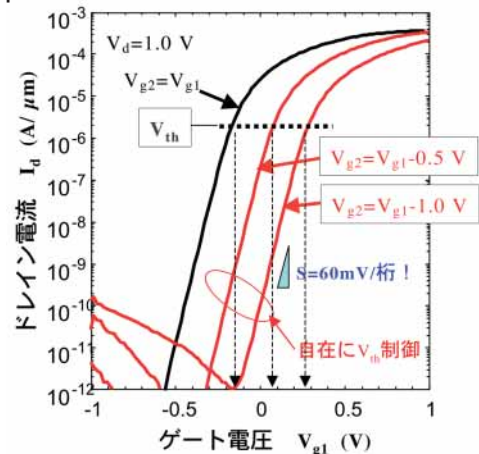


図4 4端子駆動型ダブルゲートMOSFET (Si-フィンチャネル厚=13nm) のしきい値電圧制御特性
 (a) V_{g2} 固定モード、(b) V_{g2} 追従モード。制御ゲート電圧 V_{g2} により、自在にしきい値電圧 V_{th} が制御できることを示している。

(a) V_{g2} 固定モード



(b) V_{g2} 追従モード



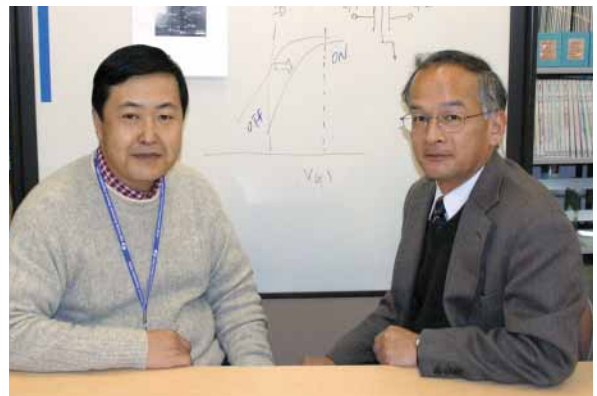
ドで動作させる4端子型ならではのモードでは、 V_{th} を自在に制御（この場合は、-1Vのオフセット電圧で0.43Vの正シフト）しつつ、電流立ち上がり特性は理論限界値である60mV/電流一桁を実現している。すなわち、 V_{g2} 追従モードでは、自在な V_{th} の設定をしつつ、鋭い電流立ち上がりを同時に満足させる優れた動作ができることになる。4端子駆動型ダブルゲートMOSFETでは、ここに示したしきい値制御によるパワーと速度の最適制御だけでなく、素子自身がスイッチ機能以上の多機能を発揮できる、より進化した集積回路実現にも道を開くものである。

MICRODEVICES, No.223 pp.58-63 (2004.1)) などの新たな発展軸を導入し、革新的な4端子駆動型ダブルゲートMOS集積回路技術の創出に取り組む予定である。

注 しきい値電圧 V_{th} は、トランジスタのスイッチ動作において、オフ状態からオン状態になる境目のゲート電圧であり、集積回路では重要なパラメータである。ただし、ドレイン電流立ち上がりはゲート電圧に対して指数関数ではあるが連続的であるので、オフ時（ゲート電圧ゼロ）でも完全に電流ゼロにはならない。 V_{th} が低いと、オンゲート電圧との差が大きくなりオン電流は高く高速動作が可能となるが、オフ時のゲート電圧ゼロとの差は小さくなり、オフ電流は増えて待機時の消費電力は増えてしまう。逆に、 V_{th} が高いと、オン電流は減るが、オフ電流は減少して待機時の省エネ化が可能となる。

今後の展開 VLSIの新たな発展軸を目指して

本成果によって、次世代のトランジスタとして期待されているダブルゲートMOSFETの4端子化を実現し、更なる機能の拡大が可能になった。きわめて近い将来に我々は、極微細化によって、トランジスタ特性の劣化と消費電力の増加とにより、VLSI技術に対する重大な障害に直面する。前者に対しては産総研が提案した従来型ダブルゲート構造の導入で克服できそうである。一方、VLSIの消費電力の問題は、MPUチップの消費電力がすでに100Wを越えるレベルにまで達する深刻な状況になってきており、何らかの解決策が見いだされない限り、実際にはこれ以上発熱の問題から集積化できないという状況になってしまう。今回開発した4端子駆動型ダブルゲートMOSFET技術は、シリコンVLSI技術が直面する上記の障害を何れもブレイクスルーする画期的な成果であり、最適なパワー・動作速度制御や新機能などをフレキシブルに持たせる未来型集積回路実現に先鞭をつけたと言える。今後は、この進化したMOSデバイスを最適に活用して、例えば“柔らかいLSI” (NIKKEI



エレクトロニクス研究部門副研究部門長 鈴木 英一 (右)
 同研究部門 柳 永勳 (左)

● 問い合わせ

独立行政法人 産業技術総合研究所
 エレクトロニクス研究部門
 先端シリコンデバイスグループ 柳 永勳

E-mail : yx-liu@aist.go.jp

エレクトロニクス研究部門
 副研究部門長 鈴木 英一

E-mail : e.suzuki@aist.go.jp

〒305-8568

茨城県つくば市梅園 1-1-1 中央第2