

# 新開発プロセスによる、世界最薄縦型ダブルゲートMOSFETの作製に成功

## 究極のMOSFETと言われるダブルゲートMOSFETの実用化に先鞭

産総研エレクトロニクス研究部門は、従来のCMOS作製技術に新開発のイオン照射減速エッチングプロセスを付加することにより、極微細化、超低消費電力化を可能にする新しい縦型ダブルゲートMOSFET（その断面形状から「IMOSFET」とも呼ぶ）の開発に成功し、同時に優れた素子特性を実証した。

この技術開発は、産総研の前身の一つである旧電総研が提案した究極のMOSFETと言われるダブルゲートMOSFETの、将来の超高集積LSIへの導入実用化の道を拓いた成果と期待される。

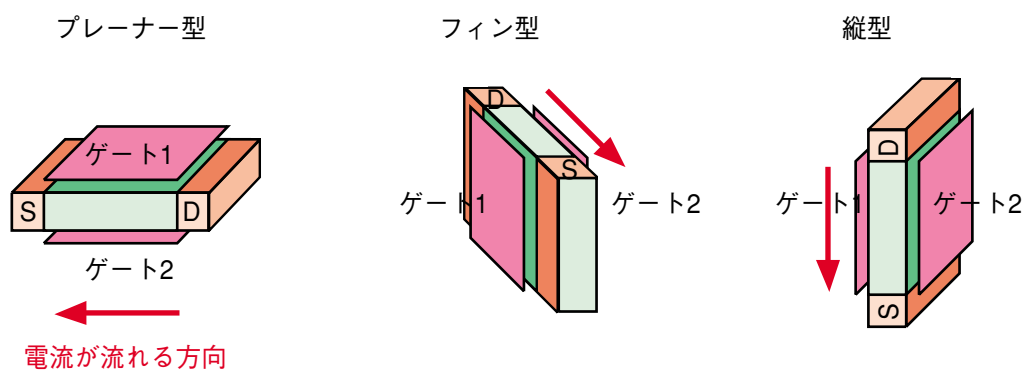


●世界最薄縦型ダブルゲートMOSFETの作製に成功したエレクトロニクス研究部門 昌原研究員（左）と鈴木副研究部門長（右）

### 究極のMOSFET 実用化に向けて大きく前進

モバイル携帯機器をはじめとする情報通信社会のハードウェアを支える半導体集積回路(ULSI)の高機能・高集積化は、そこに用いられるMOSFETの微細化により驚異的な発展を遂げてきた。しかしながら、今後も微細化を続けて超高集積化をはかっていく場合、巨大な壁に突き当たることが予想されている。微細化への最も大きな障壁は、MOSFETのソースとドレインの距離の短縮に伴って、互いが干渉して起こる短チャネル効果によるデバイス特性の劣化であり、この事が微細化限界を決めている。この困難を打破するデバイス構造として、ゲートが一つだけの通常

のバルクMOSFETに変えて、図1に示すように、薄いチャネル層を二つのゲートで挟み込むダブルゲートMOSFETが究極の構造と認知されている(2001年版国際半導体ロードマップ(International Technology Roadmap for Semiconductors)参照)。ダブルゲートMOSFETは、世界に先駆けて1984年に旧電総研から提案されX-MOSFETと名付けられたものであるが、ダブルゲート構造の作製が困難なことから、現在もまだ実用化されていない。しかしながら、2000年前後から米国を中心に将来のデバイスとしてダブルゲートMOSFETへの関心が急速に高まり、フィン型(Siのフィンチャンネルを横方向に電流を流すタイプ。



●図1 ダブルゲートMOSFETの構造。3種類しかなく、今回開発したものは縦型ダブルゲートMOSFETである

図1中央)のダブルゲートMOSFETの開発が、IBM、AMD、Intel、カリフォルニア大学バークレー校などで開始されている。ダブルゲートMOSFET構造では、二つのゲートを持つ特長を生かして、ゲートしきい値電圧を最適に制御し低消費電力化をはかることが可能で、ULSIが直面するもう一つの困難な壁である消費電力の限りない増大に対しても、それを打破する極めて有効なデバイスである。

今回、産総研で開発した図1右のタイプの縦型ダブルゲートMOSFETは、市販のバルクSi基板を用いており、従来のCMOS作製技術に加え、イオン照射部分のアルカリ水溶液に対する著しい減速エッチング特性を利用したことで、極めて薄い縦型チャンネル部分の形成が可能となる。この新開発のプロセスを用いて、チャンネル厚15nmの世界最薄の縦型ダブルゲートMOSFETの試作と動作実証に成功した。実測した素子特性は、理論予測と合致する優れた特性を示し、これにより究極のMOSFETと言われるダブルゲートMOSFETの実用化への道を拓いた成果と考えている。この成果は、昨年12月、世界最大の電子デバイス会議である2002IEDM(2002IEEE International Electron Devices Meeting)で発表され、大きな関心を呼んでいる。

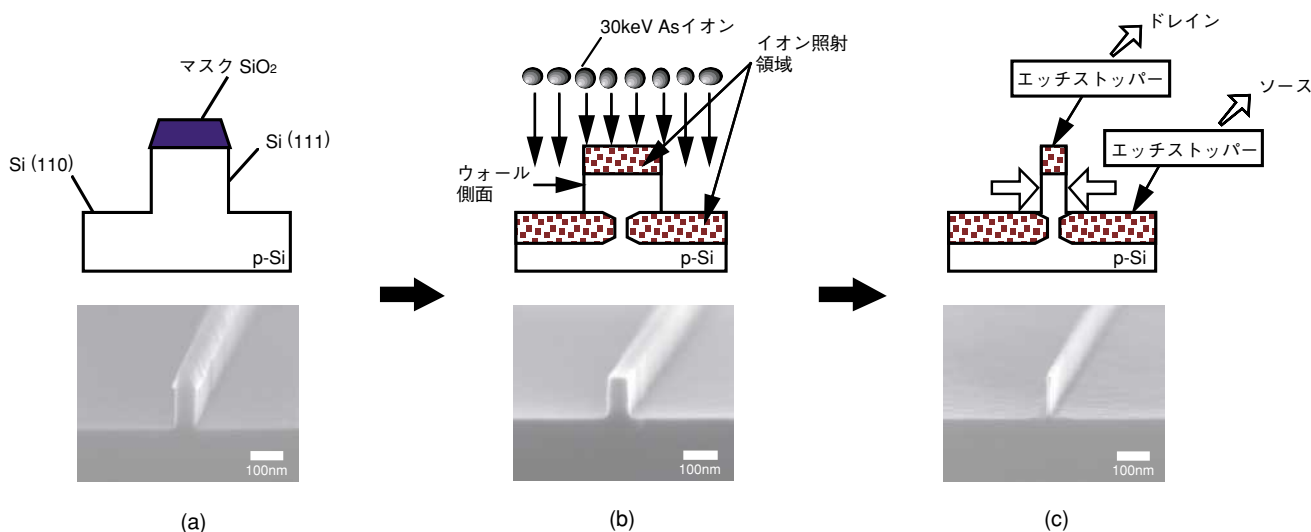
## イオン照射減速エッチングプロセスを新たに開発

技術的ブレイクスルーとしては、縦方向チャンネルとなる極薄のSiウォール(壁)の作製に、新たに発見したイオン照射減速エッチング(特許出願済み)を用いたことである。イオン照射部分は、市販のアルカリ現像液(2.38% TMAH(tetramethylammonium hydroxide))によりウェットエッ

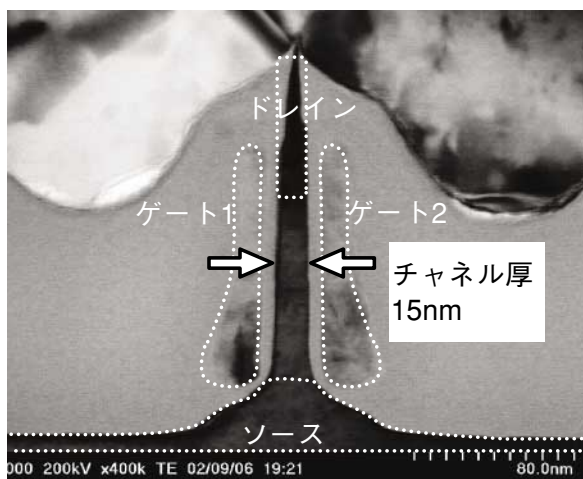
チングの速度が著しく減速するので、その部分をエッチングマスクとして用い、バルクSi基板を用いてナノメートルスケールの縦方向チャンネルとなるSiウォールを形成することに成功した。まず、Si(110)基板上にSiO<sub>2</sub>マスクにより寸法の大きいSiウォールを形成する(図2(a))。次に、30keVの砒素(As)イオンを注入すると、厚いSiウォールの頂上部とウォール周辺の下地のSi部分だけ照射され、Siウォールの(111)結晶面側壁は照射されない(図2(b))。従って、もう一度TMAH溶液でエッチングを施すと、イオン照射部分がエッチストップパーとして働き、横方向エッチングのみが進行するので、その結果、縦方向Siチャンネルを精度良く極薄化することができる(図2(c))。この方法は、プロセスの再現性に優れた実用性が極めて高いものであり、ダメージフリーでリソグラフィよりも微細な厚さのSiウォールチャンネルを形成できる大きな特徴を持つものである。実際にこの方法を用いて、極薄Siウォールチャンネル縦型ダブルゲートMOSFET(IMOSFET)の作製プロセスを開発した。

## 優れた素子特性を確認

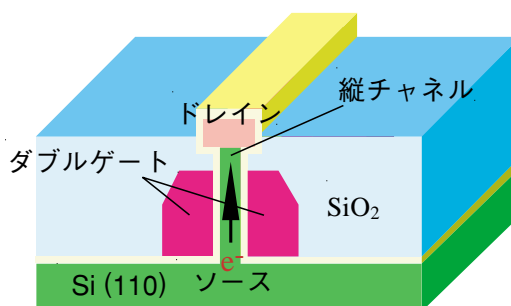
図3は、試作に成功した15nmチャンネル厚の世界最薄縦型ダブルゲートMOSFET(IMOSFET)の素子断面透過型電子顕微鏡(TEM)写真である。試作したIMOSFETの動作を確認すると共に、素子特性を詳細に測定した。図4は、MOSFETの重要な性能指標である、ゲートしきい値電圧V<sub>th</sub>とドレイン電流立ち上がり性能であるS-スロープ(ドレイン電流の立ち上がるサブスレッショルド領域でドレイン電流が1桁増加するのに必要なゲート電圧。室温での



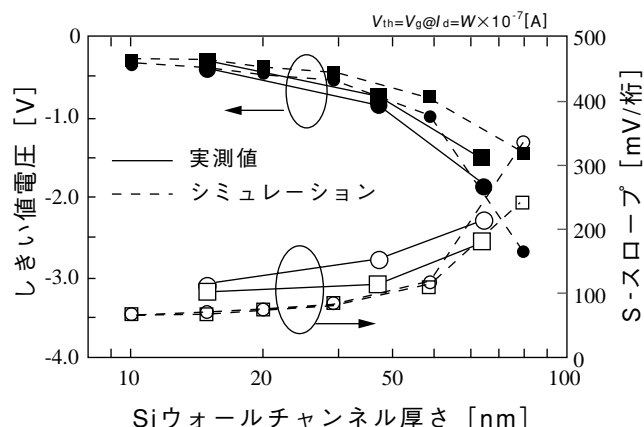
●図2 新発見のイオン照射減速エッチングによる微細Siウォールチャンネルの作製フローと各々のステップに対応するSiウォールチャンネルのSEM写真  
 (a) SiO<sub>2</sub>マスクを用いた厚いSiウォールの形成、(b) SiO<sub>2</sub>マスク除去後砒素(As)イオン注入、(c) イオン照射減速エッチングによる極薄Siウォールチャンネルの形成(ウォール厚15nm)



●図3 試作したチャンネル厚 15 nmの世界最薄縦型ダブルゲートMOSFET (IMOSFET) の断面 TEM 写真



理論値は 60 mV/decade) の、Si チャンネル厚依存性を示している。ゲート電圧に対するドレイン電流立ち上がりの劣化 (S-スロープの増大) や、n チャンネルの場合  $V_{th}$  が負側にシフトするロールオフは、代表的な短チャンネル効果であるが、Si チャンネル厚を薄くすることによって、短チャンネル効果が抑制されるダブルゲート MOSFET の優位性を実験によって明瞭に示している。図 4 の結果から、Si チャンネル厚を 20 nm 程度以下に薄くすれば、十分に短チャンネル効果が抑止されると結論づけられる。これは、スケールリングによる素子寸法の更なる微細化に対しても特性が劣化せず、むしろ向上することを示しており、将来の超々高集積 LSI の実現に大きく前進する成果である。短チャンネルでも S-スロープの劣化を押さえることができることを示した今回の



●図4 試作したIMOSFETの、ゲートしきい値電圧  $V_{th}$ 、S-スロープのSiチャンネル厚さ依存性  
○および□は、ドレイン電流の飽和モードと線形モードでの値を示している。S-スロープは小さいほど、 $V_{th}$  も小さいほど短チャンネル効果が押さえられていることを示す。

IMOSFETの実験結果は、オン時の電源(ドレイン)電圧を下げられることを意味し、低電圧動作によって低消費電力化を実現できることを示している。さらに、ダブルゲートを別々に使えば、一方のゲート電圧によって他方のゲートしきい値電圧を任意に制御できることから、しきい値電圧の最適制御によって、超低消費電力化を可能とするものである。

## 期待される今後の展開

本成果によって、バルク Si 基板上での微細縦型ダブルゲート MOSFET (IMOSFET) の基本作製技術は確立された。今回開発したIMOSFET作製技術は、①イオン照射減速エッチング技術によりダメージフリーで極薄の Si ウォールチャンネルを形成、②リソグラフィーよりも微細な厚さの Si ウォールチャンネルを形成、③ゲート長が Si ウォールの高さの制御により行えるので数 nm までのスケールリングが容易、④縦型チャンネルゆえに大電流を流すことが可能、⑤ High-K ゲート絶縁膜材料の導入が容易に可能、などの数々の特長を有するため、実用化に適した技術であると期待される。

今後は、プロセスの最適化によってデバイス特性の向上を目指すと共に、ダブルゲート MOSFET の持つ 4 端子素子としての特長を最大限に生かす超低消費電力 LSI 技術および多機能化技術の構築を目指す予定である。

●問い合わせ  
〒305-8568  
茨城県つくば市梅園 1-1-1 中央第2  
独立行政法人 産業技術総合研究所 エレクトロニクス研究部門  
先端シリコンデバイスグループ 昌原 明植  
E-mail m.masahara@aist.go.jp  
副研究部門長 鈴木 英一  
E-mail e.suzuki@aist.go.jp