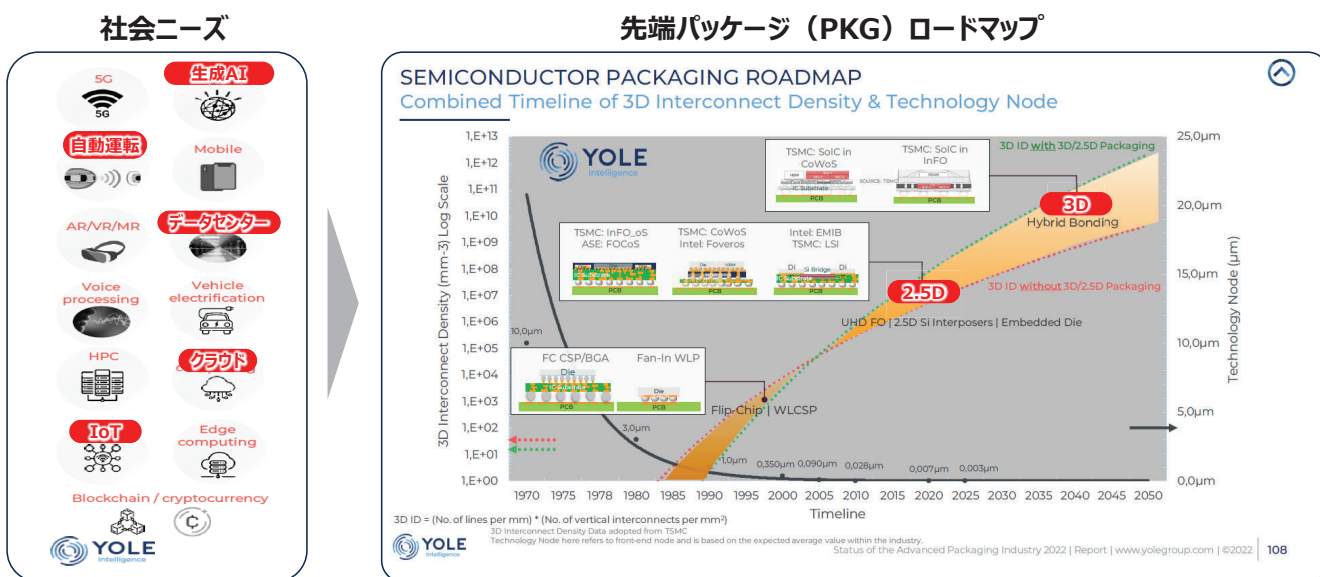


2.5D/3D実装に向けた九州センターにおける半導体パッケージング技術の取り組み

1. 社会ニーズと先端パッケージ (PKG) の動向
2. 2.5D と 3D PKGの比較
3. 従来PKG と 2.5D PKGの比較
4. 従来PKG と 3D PKGの比較
5. まとめ

2024年10月8日
 国立研究開発法人 産業技術総合研究所 九州センター
 センシングシステム研究センター 複合センシングデバイス研究チーム
 大園 満

1. 社会ニーズと先端パッケージ (PKG) の動向



出典：Yole Intelligence, Status of the Advanced Packaging Industry 2022. 部分加筆

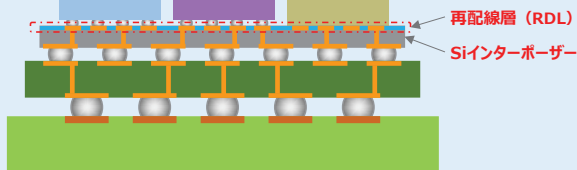
社会ニーズの進展にともなう半導体の高性能化、低消費電力化等を実現するために 先端パッケージ (2.5D、3D) のニーズが増大

2. 2.5D と3D PKGの比較

2.5D PKG

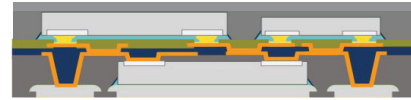
Siインターポージャー※)を用いて、複数の半導体チップを並列に配置、接続したパッケージ

※) PCB基板と半導体チップの接続ピッチのギャップを解消するために微細配線層 (RDL) を形成した中間基板



3D PKG

複数の半導体チップをパッケージ内で3次元方向に積層したパッケージ

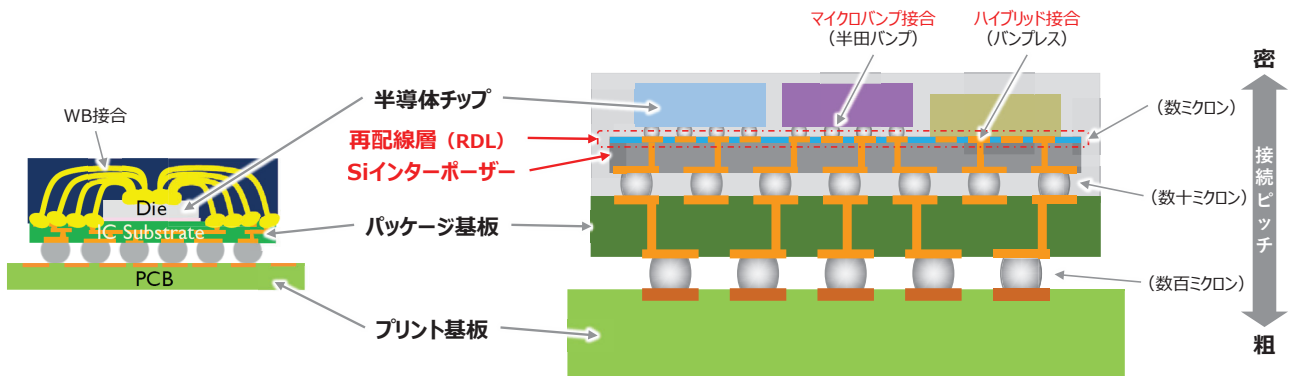


出典：Yole Intelligence, Status of the Advanced Packaging Industry 2022より

2.5DはSiインターポージャーを介して半導体チップを面内配置、3Dは半導体チップを垂直方向に積層したパッケージ

3. 従来PKG と 2.5D PKGの比較

2.5D PKG



従来PKG
(WB-BGA)

先端2.5D PKG
(Siインターポージャー)

2.5D PKGとはSiインターポージャーに形成された微細な再配線層 (RDL) を用いて半導体チップを接続したPKGであり、弊所では特にダマシンCMPプロセスを用いたRDL形成技術の開発を中心に取り組んでいる



■ Siインターポザーの再配線層 (RDL) の開発ロードマップ

Submicron processing (Fine RDL) for future 3D Chiplet

RDL; Re-Distribution Layer

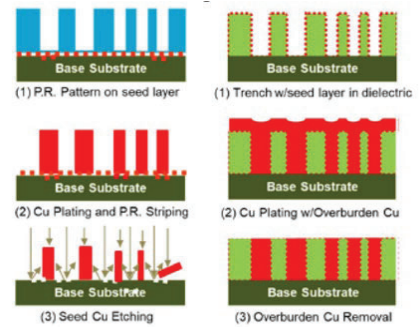
RDL Roadmap for Chiplet (2nd Moore's Law)

To reduce wiring length, Chiplet should be realized by sub-micron RDL

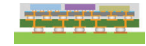
	2023	2025	2027	2029	2031	Goal
Node	N3	N2	A10	A7	A5	A2
RDL L/S (μm)	2/2	1.4/1.4	1/1	0.7/0.7	0.5/0.5	≤ 0.1/0.1
Thickness (μm)	5	3	3	2	1.5	≤ 1
Red Brick Wall	Process	Material with Reliability		Shorter Exp. Wavelength		

Conventional SAP (lift-off)

→ ダマシン CMP

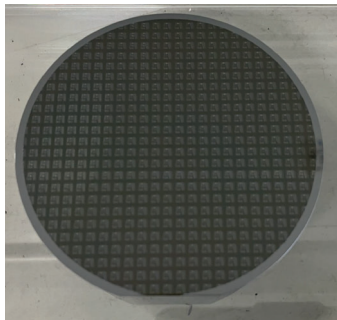


将来の3Dチップレット技術を視野に入れたロードマップ開発を推進

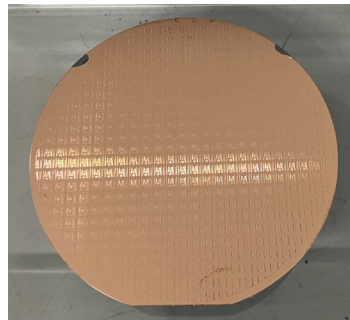


■ ダマシンCMP技術のプロセスフロー

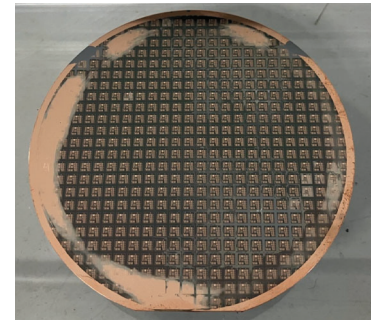
樹脂パターン



Cuシード層 + 電解Cuめっき



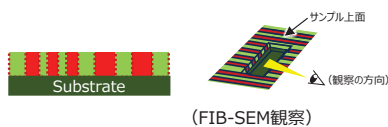
ダマシンCMP



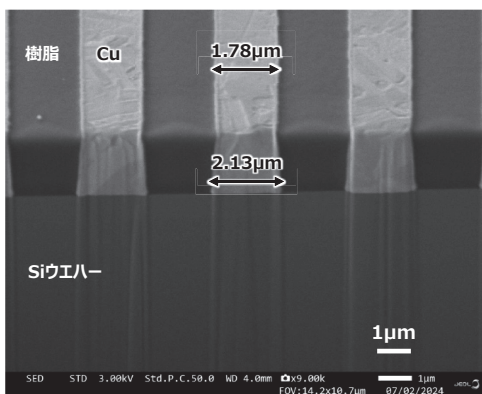
ダマシンCMPにより感光性樹脂パターン溝のみにCuが埋め込まれた再配線層を形成



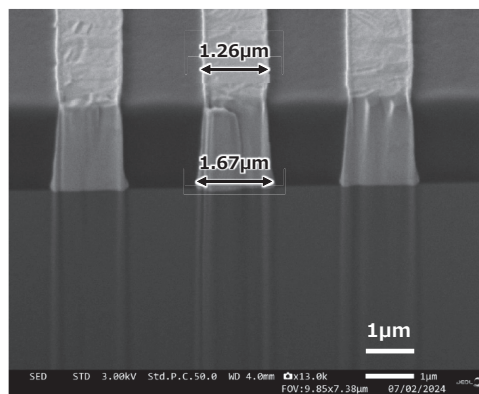
■ ダマシンCMP (RDL) 形成事例



L/S=2/2 μmパターン断面



L/S=1.5/1.5 μmパターン断面

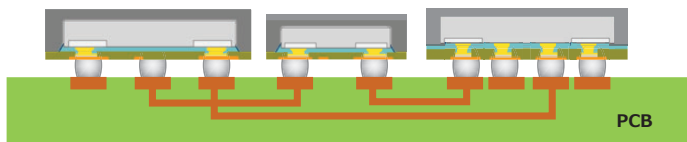


L/S=1.5/1.5μmのRDL形成（樹脂剥離なし）を確認し、更なる細線化（サブミクロン）を推進中

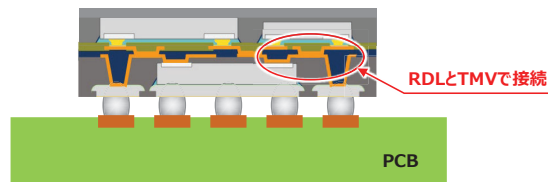
4. 従来PKGと3D PKGの比較



PCBへの実装面積縮小 ⇒ 小型、高密度化
チップ間配線長の短縮 ⇒ 高速化、消費電力低減、ノイズ耐性向上



従来のPKGは平面配置
(各チップをPCB配線で接続)

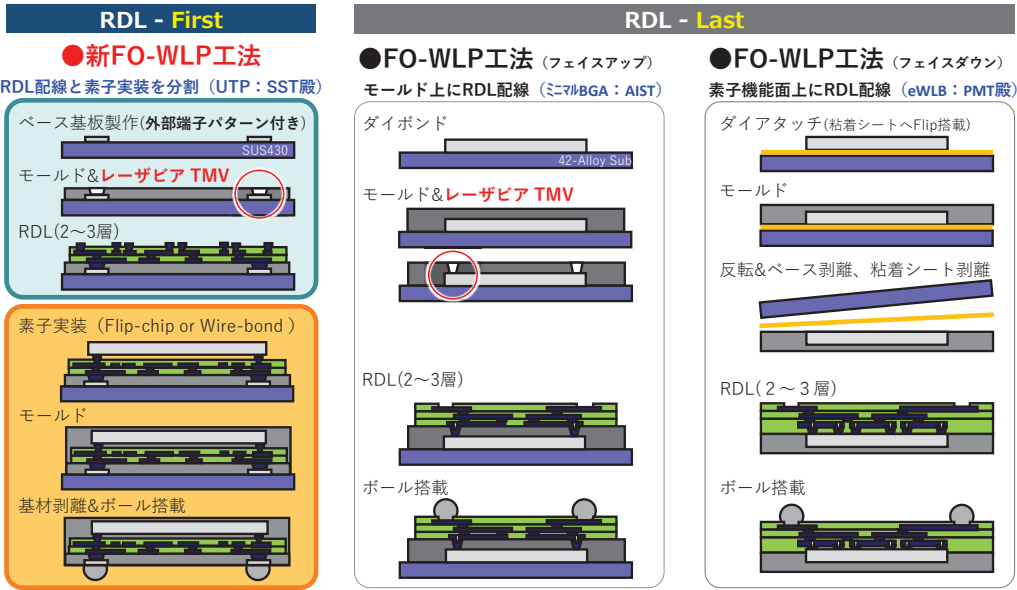


先端パッケージ (PKG内3D構造)
(各チップをPKG内配線で接続)

RDLとTMV技術によりPKG内配線でチップ間を接続する3D PKGの開発を推進



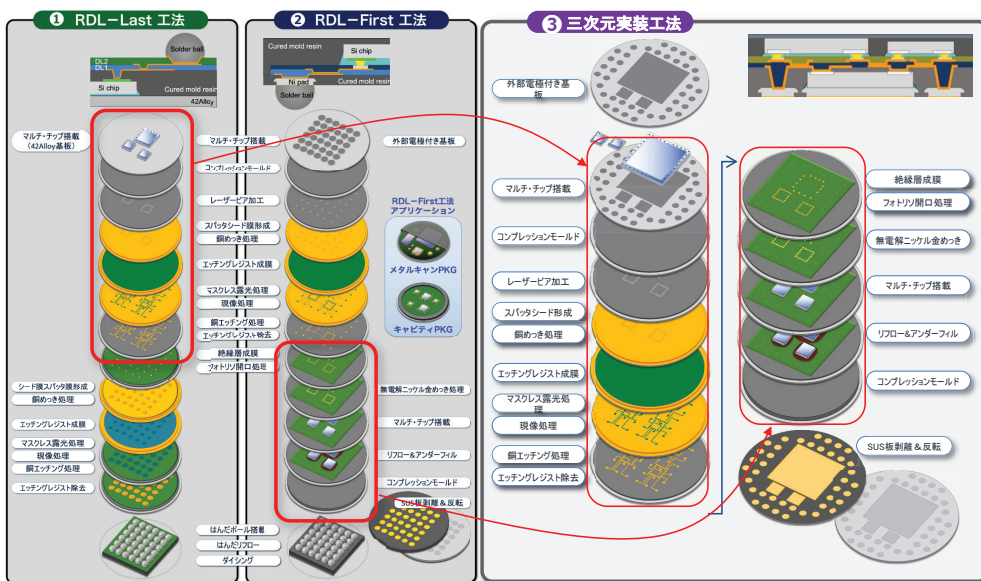
RDL & TMV形成プロセスフロー



RDL-Last プロセスをコアとしてRDL-First プロセスに展開



コア技術の組み合わせによる3D PKGの開発



出典：株式会社SSテクノ 資料，部分加筆

RDL-Last と RDL-First プロセスを組み合わせた3D PKG技術を開発

5. まとめ

- 自動運転、生成AI等の発展を支える先端半導体の高性能化、低消費電力化等を実現するために先端パッケージ（2.5D/3D）のニーズが拡大
- 産総研九州センターは2.5D/3Dパッケージに向けた開発を推進
- 2.5DパッケージではSiインターポザーの微細再配線層（RDL）を形成するダマシンCMP技術の開発を推進
- 3DパッケージではRDL-Last と RDL-First プロセスを組み合わせた3D化技術の開発を推進