

公益財団法人 福岡県産業・科学技術振興財団

三次元半導体研究センター

「三次元半導体研究センター 研究支援活動について」



三次元半導体研究センター 野北 寛太

Photo by Dr.Tomokage

2



センターへのアクセス

九州大学

糸島半島

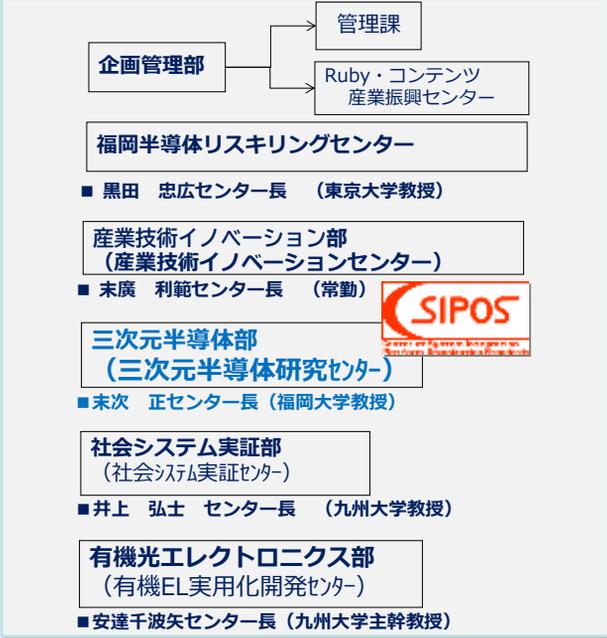
前原IC

IST HeadOffice

福岡空港

三次元半導体研究センター
(糸島リサーチパーク内)

<http://itoshima-3dsemi.com>



三次元半導体研究センター

2024-10-8

<http://itoshima-3dsemi.com>



センター狙いどころ-1



……高性能化デバイスを支える
周辺実装技術（電気特性向上、微細化、小型化等）
への新しい付加価値開発に注力



三次元半導体研究センター

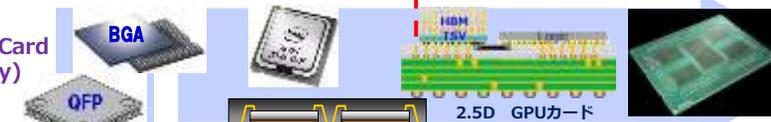
2024-10-8

<http://itoshima-3dsemi.com>



半導体パッケージトレンドとCSIPOSターゲット

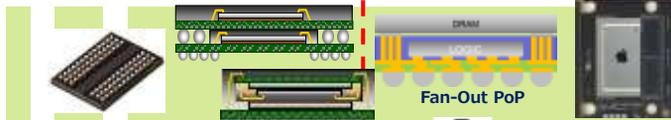
Server, Graphic Card
(Logic+Memory)



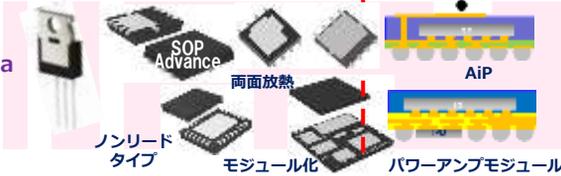
PC, GAME
(Logic+Memory)



Mobile, Watch
(Logic+Memory)

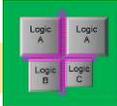


Sensor, RF&Antenna,
Power, WiFi, etc



KeyWord

- ・広帯域
- ・大容量多バス
- ・Chiplets
- ・2. XD構造
- ・微細RDL



Heterogeneous Integration

KeyWord

- ・FO構造大判化
- ・薄型、小型化
- ・多バスメモリ
- ・部品内蔵

KeyWord

- ・アンテナイン
- ・低寄生インダクタンス
- ・高放熱
- ・高耐圧
- ・高速スイッチング



三次元半導体研究センター

2024-10-8

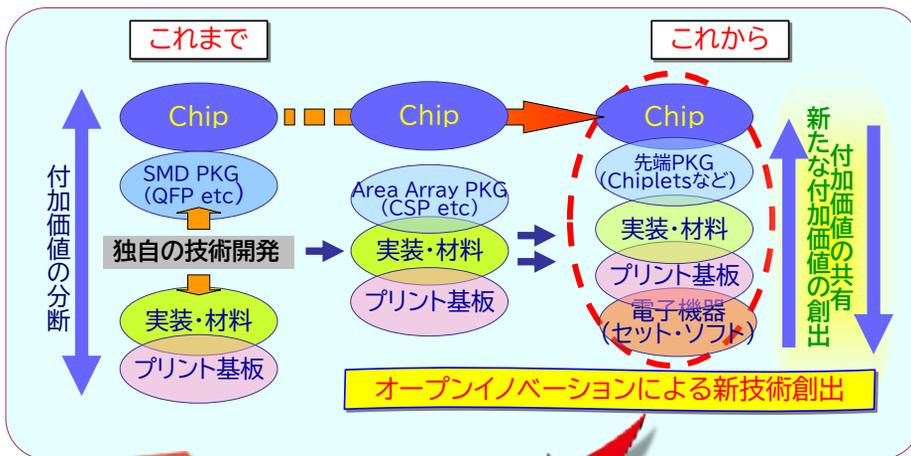
<http://itoshima-3dsemi.com>



企業・組織の垣根を超えたオープンイノベーションによる新技術の共創

ヘテロジニアスな統合設計が盛んになる近年

LSI分野とパッケージ分野の技術の境目がなくなる…**新たな付加価値に**



我々が組織の壁を越えた開発環境として機能する！



三次元半導体研究センター

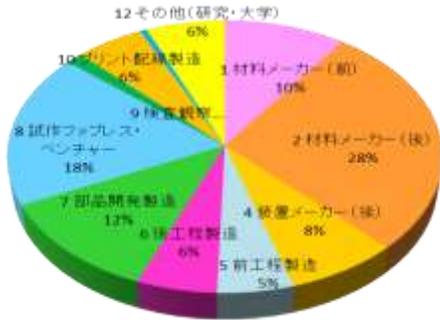
2024-10-8

<http://itoshima-3dsemi.com>

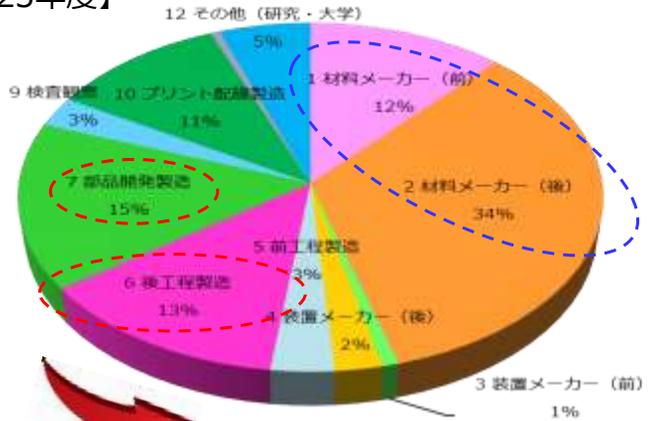


センター外部利用状況- 1

【2022年度】



【2023年度】



多様化する開発スタイルへの対応が求められる
 ⇒ビジネス背景…
 ⇒評価・解析等Outputの指標など



三次元半導体研究センター

2024.10.6

http://itoshima-3dsemi.com



何を可能にしてきたか??…顧客の課題解決を可能にしてきた

課題

センター利用の背景：顧客のニーズ&課題

①顧客の顧客（ユーザー）からの評価への取組
 ⇒ユーザーの結果しかわからない中での・・・
 ★顧客の実力レベルが見えない

② 顧客のユーザーに向けた試作およびデータ採取そして改善
 ※材料メーカーがユーザーに向けたデータ採取
 ※新しい取り組みに対しての評価、判断ができない

③その他の追加課題
 なおかつ開発経費の圧縮、開発期間の短縮
 開発インフラの補完など



で 目標達成!



三次元半導体研究センター

Center of System Integration Platform Organization Standards

http://itoshima-3dsemi.com



提案型開発試作プラットフォーム

◆付加価値創出のためのサポート

「設備×人」の技術ノウハウ + 強力な産学官連携体制



顧客のできないを可能にするCSIPOSの活動



三次元半導体研究センター

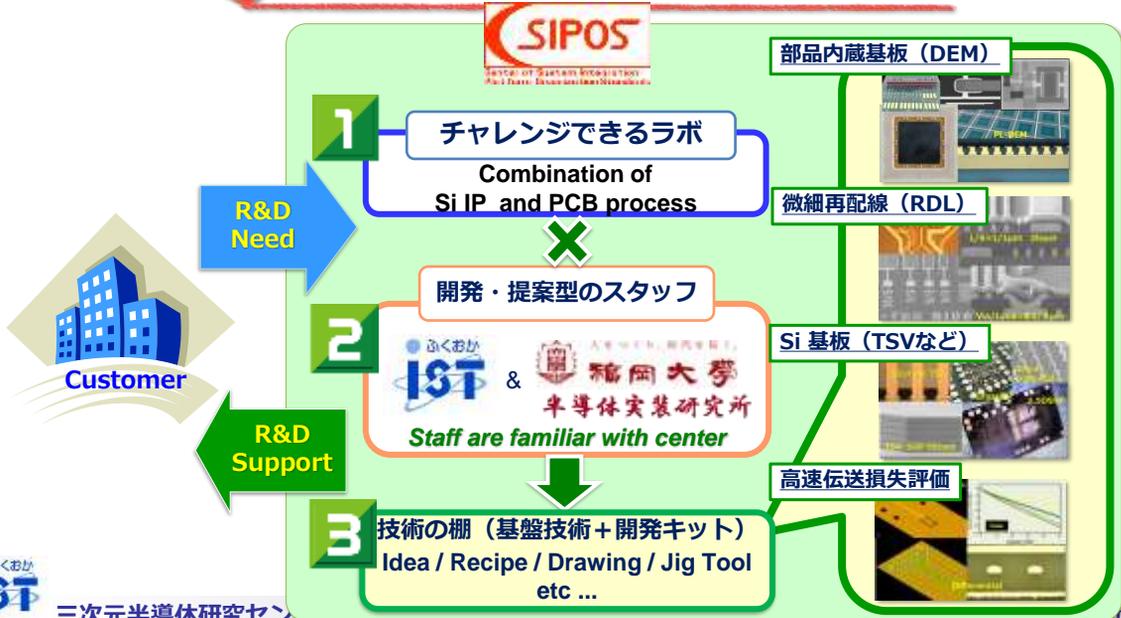
2024-10-8

<http://itoshima-3dsemi.com>



Platform“C-SIPOS”の活動イメージ

開発の支援は3つ視点で顧客の開発サポート



三次元半導体研究センター

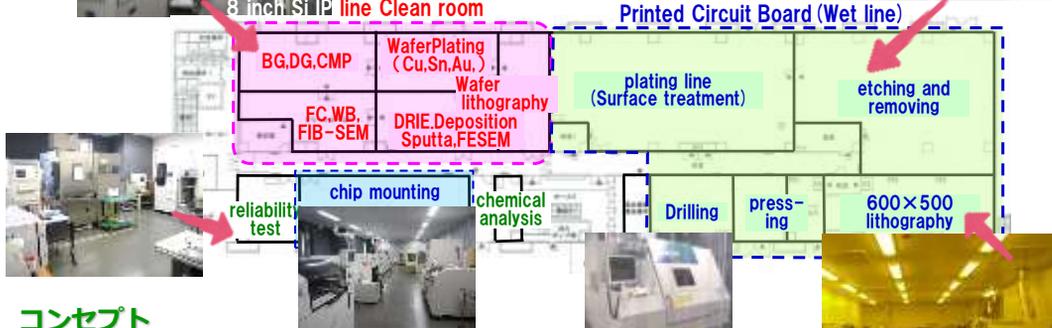
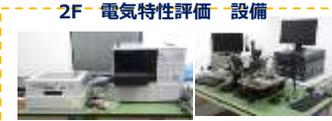
<http://itoshima-3dsemi.com>



1 Platform "C-SIPOS" の道具は...

レイアウト&特徴

- ・ Si基板工程とプリント配線基板の融合
- ・ 量産基板サイズ製造での試作評価が可能なライン設定
- ★センター標準ワークサイズ：510X407mm



コンセプト

- ・ 前後工程の垣根を越えた組合せた工法の発信
- ⇒ 業界の常識と固定概念を捨て、未開のプロセスの発掘



semi.com

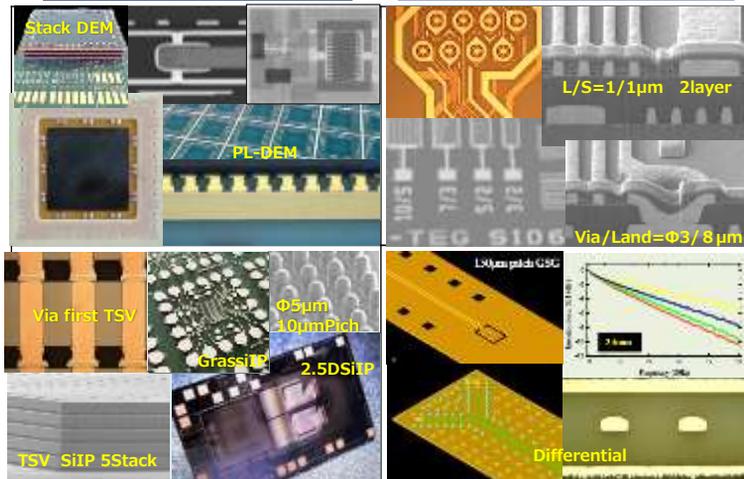


3 Platform "C-SIPOS" の基盤技術とは...

Four key technologies of the 3D Center

For FanOut & Embedded IP

For Ultra Fine Pattern for RDL



For Next generation IP

For High Frequency Evaluation



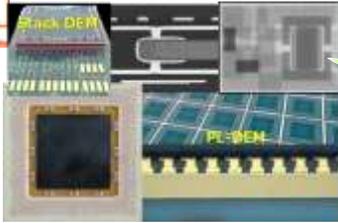
三次元半導体研究センター

2024-10-8

<http://itoshima-3dsemi.com>



工法の標準化、試験方法の標準化を発信...部品内蔵基板国際標準規格へ



DEM : Device Embedded Module

the world's first IEC standards on Device Embedded Substrate
(from JPCA Standards EB01 Ed.1:2008)



国際電気標準会議

- IEC 62878-1-1 : Generic specification -Test method (IS)
- IEC 62878-2-1 : General description of technology(TS)
- IEC 62878-2-3 : Design guide(TS)
- IEC 62878-2-4 : Test element group (TEG)(TS)
- IEC 62878-2-5 : Guidelines - Implementation of a 3D data format for device embedded substrate (IS) 2019-11

DEMコンセプトは...

プリント配線プロセス+部品搭載工程で完成できるパッケージ&モジュール

高信頼性
(低応力、低温接合)

低内部応力
CuめっきによるCu-Cu接合

特性向上
(寄生容量低減)

高密度化
(小型薄型、軽量)

設計の自由度
(熱設計、表裏実装設計)

※作りやすい?安い?

http://itoshima-3dsemi.com



C-SIPOS DEM ロードマップ

2011.....2014...2015...2016...2017...2018...2019...2022...

1st Step
DEM基本評価
DEMプロセス構築と
実力検証

Core surface mounted type DEM パッケージ反り評価

Typical Core cavity type DEM

既存KG構造 238μm

DEM構造 56μm

残留応力比較

Cavity clearance is 150μm

組立工程応力変動

キャパシタ容量変動

0.1μF±15%

Pre-treat condition: 125°C bake ⇒ 85°C/95% 168H (JEDEC level1),
Reflow profile: Pb-free soldering condition. (MAX 260°C X 5time)
Mechanical vibration test...EB01規格準拠 (-40~125°C 20~1000Hz ave1.6mm 5G)

2nd Step
パネルレベル
FanOutPKG構造
へのDEM展開
PanelDEM
パッケージ評価
材料・部品開発

PLDEM510X407mm
616IC/Panel

世界最薄DCDCコンバータ PD0101パワーPKG評価

AIエッジモジュール

PowerDEM

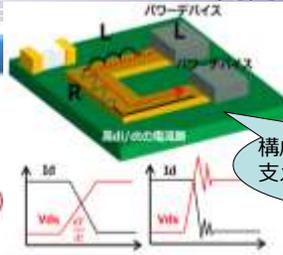
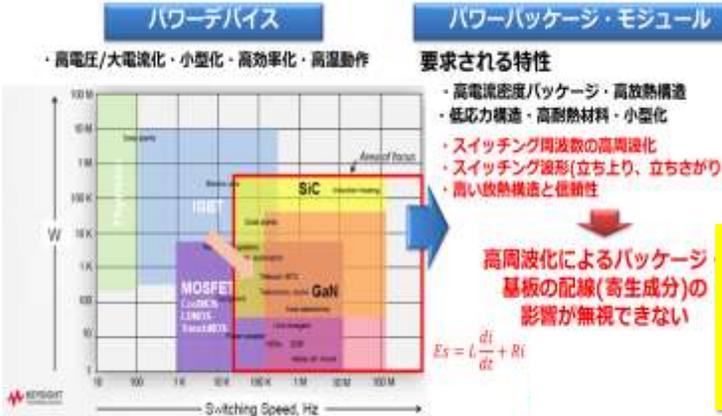
FuterPowerDEM
高熱放散構造

3rd Step
機能モジュールへの
展開
PowerDEM
StackDEM
RFDEM
三次

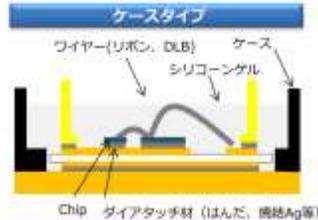
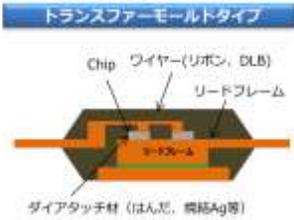




P-DEM開発への背景その1



- ★内蔵技術の特徴と期待される特性
- 低抵抗化・低インダクタンス化による高効率化 (配線長短縮+Cu接続+PN平行平板配線等)
 - Cu接続による高信頼性
 - 低コスト化 (プリント配線工程の流用)
 - 小型化・高集積化&設計の自由度



toshima-3dsemi.com



Platform“C-SIPOS”の基盤技術とは…

Four key technologies of the 3D Center

For FanOut&Embedded IP

For Ultra Fine Pattern for RDL

For Next generation IP

For High Frequency Evaluation



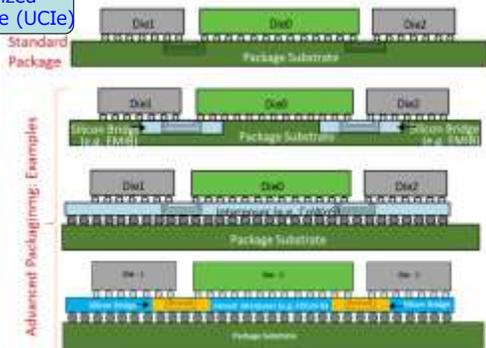
三次元半導体研究センター

2024-10-8

http://itoshima-3dsemi.com



開発の背景：WWにおけるChip to ChipのIF規格 (UCle)



(b. Packaging Options: 2D and 2.5D)

実例として EMIB (INTEL)、CoWoS (TSMC)、FOCoS-B (ASE) が具体的にサポートパッケージとして表現されている

PRIMOTERS

AMD ARM ASE GROUP

Google Cloud intel Meta

Microsoft Qualcomm SAMSUNG LUXEON

注目!

UCle基準でのサプライヤーの動き!



HPC Package for AI Server

	MCM	2.1D	2.3D		2.5D		
PKg 断面 イメージ							
基板素材	PCBベース	BU基板+微細配線形成	新光電気Web転用	有機多層微細配線	PCB+Siブリッジ	微細PI系基板+ブリッジ	TSV付 SIIP
各社事例		IBIDEN SEMCO	新光電気 i-THOP®	TSMC COWOS-R Samsung I-CUBE-R など	INTE EMIB	Samsung I-CUBE-E TSMC COWOS-Lなど	Samsung I-Cube S TSMC COWOS-Sなど

PCB/PIプロセス (後工程思想)

SiIPプロセス (前工程思想)

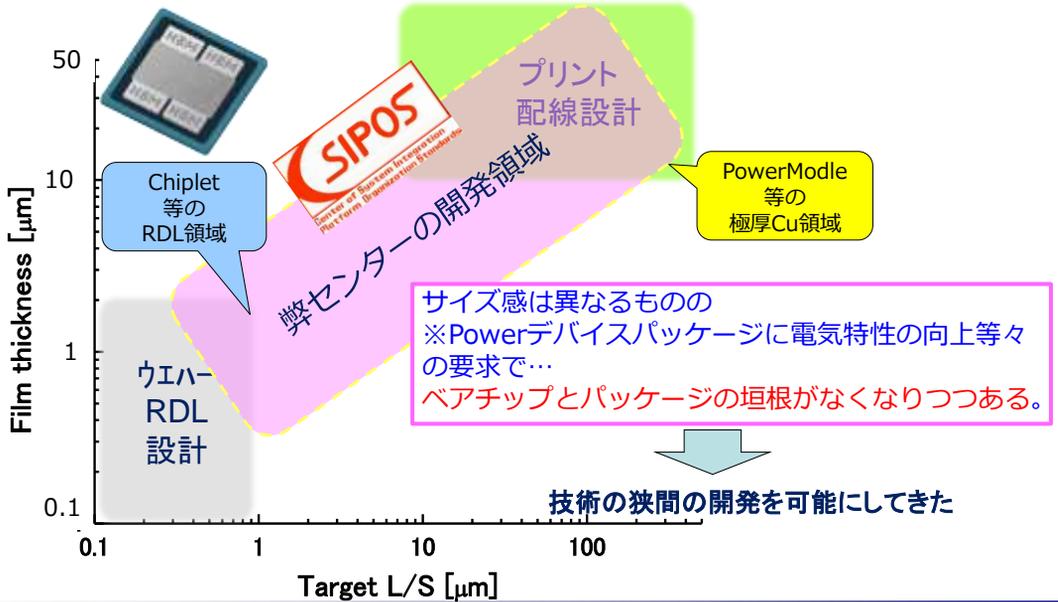
2.XDPKGは中間工程
前工程・後工程が共存する部分

先端パッケージにエンドユーザーが求めるデータの採取が求められる





C-SIPOSの対応領域のイメージ



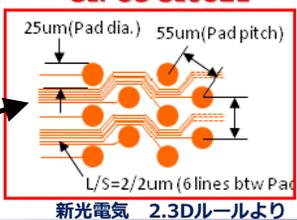
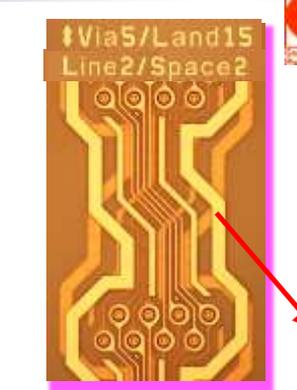
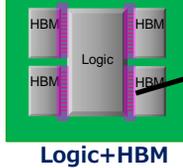
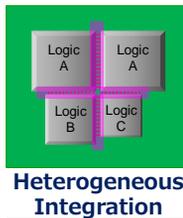
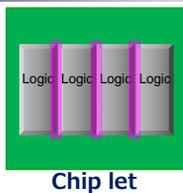
三次元半導体研究センター

2024-10-8

<http://itoshima-3dsemi.com>



C-SIPOSプラットフォームRDL開発



新光電気 2.3Dルールより



微細RDLPlatformでは
どのようなことが可能か？
【Activity】

微細配線とViaに特化した…

- Photo Lithography
 - ⇒ SubミクロンPR
 - ⇒ 感光性材料評価
 - ⇒ 無機、有機基材へ
- 微細配線、Via形成
 - ⇒ SAPにおける微細化
 - ⇒ SubミクロンCuめっき
 - ⇒ シードエッチング
 - ⇒ 層間絶縁膜評価
 - ⇒ 感光性材料Via評価
- 材料評価
 - ⇒ピール強度
 - ⇒ HAST, 恒温恒湿等評価



三次元半導体研究センター

2024-10-8

<http://itoshima-3dsemi.com>



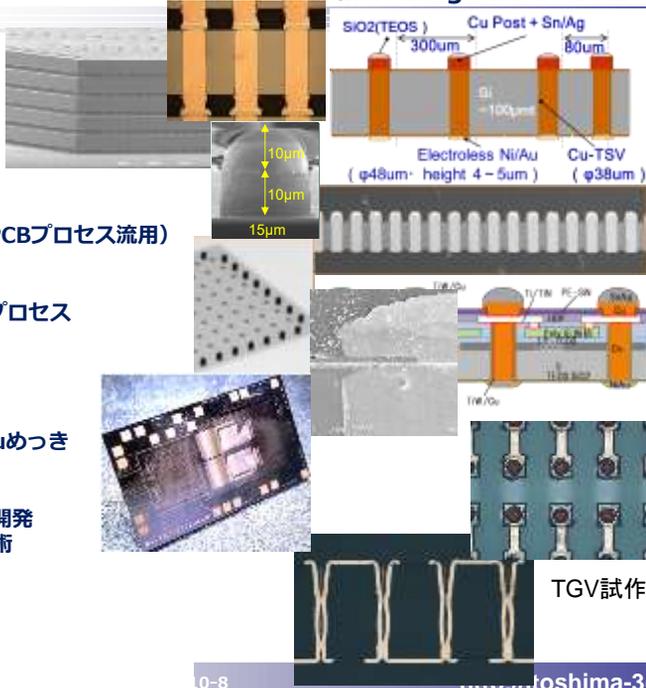
C-SIPOS基盤技術 Next generation IP

- 【プラットフォーム開発キット】
- ・ **Via-First** TSV TEG
⇒WALTS-TEG CC80TSV
⇒WIZ
 - ・ **Via-Last** TSV TEG
⇒WALTS-HPW
 - ・ RDL and Glass IP (基本PCBプロセス流用)

- 【プラットフォーム基盤技術】
- ・ Via First&Via Last TSV プロセス
 - ・ 酸化膜成膜 & エッチング
 - ・ Cuポスト形成, 平坦化
 - ・ プロセス改善 for Si IP
 - ・ RDL形成+接続プロセス
 - ・ Glass+無電解ダイレクトCuめっき

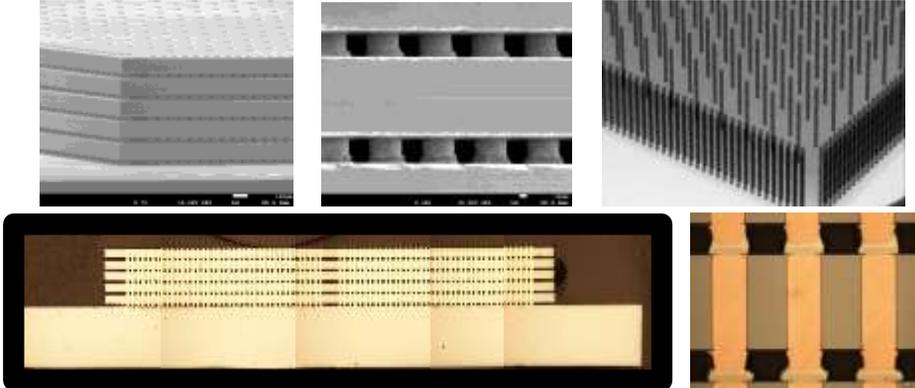
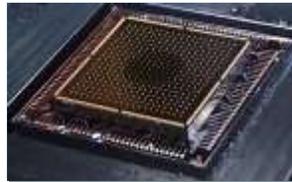
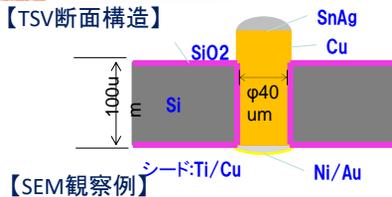
- 【顧客目的】
- ・ Via-First&Last-TSVTEG開発
 - ・ Glass IP開発 プロセス技術

- 【利用顧客】
- ・ 材料メーカー
 - ・ パッケージ開発メーカー
 - ・ 配線基板メーカーなど



三次;

WALTS-TEG CC80-TSV Stack



三次元半導体研究センター

2024-10-8

<http://itoshima-3dsemi.com>



Platform“C-SIPOS”の基盤技術とは…

Four key technologies of the 3D Center

For FanOut&Embedded IP		For Ultra Fine Pattern for RDL	
For Next generation IP		For High Frequency Evaluation	



三次元半導体研究センター

2024-10-8

<http://itoshima-3dsemi.com>



Plat Form Dev KIT:High Frequency

【プラットフォームおよび基盤技術】

- ・伝送線路：**Micro-strip & Strip line, CPW**
 ⇒SI1001CPW (Si,Glass IP、Single)
 ⇒RF0202(Single)
 ⇒RF0302DS (Differential)
 ★ex：strip line; 600μmコアを持つ6層基板
- ・評価線路長：主に24mm & 34mm, 最大200mmで可能
- ・特性インピーダンスコントロール：
 ADS simulation & TDR実測でFB

Design + simulation

Fabrication

- ・伝送特性評価：PNA-X (Agilentネットアナ)でS-parameter
- ・**評価対象周波数：10MHz~50GHz**
- ・測定方法：150 & 200μm GSG probe & 2.4mm cable

Measurement & Evaluation

VNA(Agilent PNA-X) : 10MHz~50GHz
 TDR/TDT system(Tektronix DSA8200)
 : Characteristic impedance/eye-pattern

【顧客開発目的】

- ・従来プリント基板での高周波可能性
- ・高周波向け基板関連材料の最適化開発
- ・高周波向け層間絶縁材料開発
- ・設計および測定技術

【評価基板の要素技術】

Optimization of pad structure

【カスタマー】

- ・フロントエンドマテリアル
- ・バックエンドマテリアル
- ・表面処理材料メーカー
- ・配線基板メーカーなど

Next5Gに備えに向けて
 ミリ波ネットワーク
 ・アナライザ
MAX120GHz:
 2-port/4-port S-pare測定

Process optimization

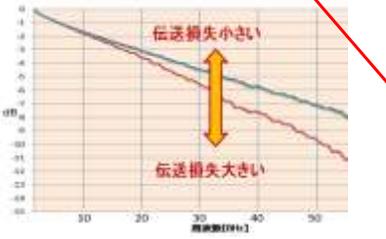
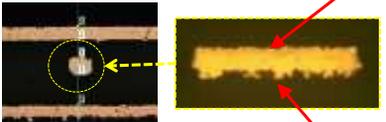
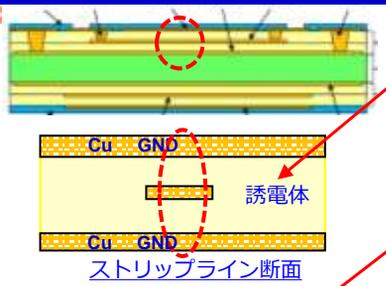


三次

<http://itoshima-3dsemi.com>



伝送損失評価用基板の開発事例 (事例：ストリップライン)

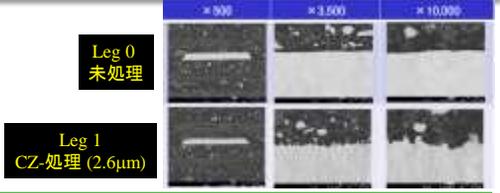


三次;

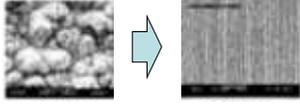
C-SIPOS高周波対応研究開発の背景

開発事例①：低損失 (LowDf&Dk) の取組
Epoxy, LCP, PFA, PTFE, PPE等々
★温度依存 **低Df&低Dkを狙う材料開発が盛んに**

開発事例②：信号配線面の粗面への取組
CZ処理、粗化の低減、密着確保
シードエッチング時の配線アタック
デスマリア処理の粗度



開発事例③：低損失 (新銅箔) 材料への取組
LowプロファイルCu箔



3dsemi.com 25



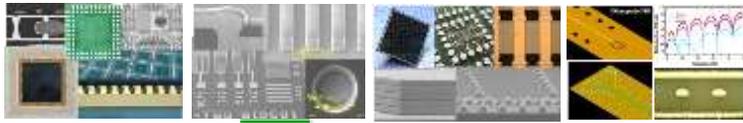
C-SIPOSプラットフォームの方向性

市場ニーズ

高性能なデバイスに合わせた**周辺技術との統合的開発環境**が求められる
周辺技術における**電気特性向上、微細化、小型化等の開発支援**
(再配線, Package, 新材料など...)

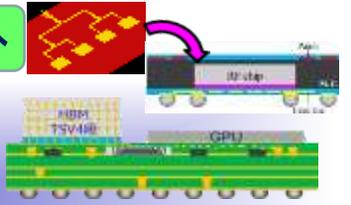
部品内蔵基板Fanout 微細再配線 (RDL) Si IP Glass IP 高速伝送線路

~2020
PlatForm開発



今後PlatForm開発は…注目されるPKGへ

- ◆高機能Packageへの要素開発
⇒Chiplet, ヘテロに向けた **微細配線&ビア+接続**
⇒**高周波向け材料** (誘電体、基材、構造)



- ◆Power&RFPKGの高効率化
部品内蔵技術DEMの展開 (**Power-DEM**)
⇒高信頼、**電気特性向上** (スイッチング特性検証)



三次元半導

3dsemi.com 26



御清聴
ありがとう
ございました



✓テクニカルWebサイト
※技術紹介やその他情報がネット上で閲覧が可能
<http://itoshima-3dsemi.com>
検索・・・「三次元半導体研究センターテクニカルWeb」

