

AIST Solutions エッジAI・半導体 プロデュース事業説明資料

- Open Source Silicon 事業 -



プロデューサー 岡村 淳一

08-Oct-2024

産総研・九州センター研究会

自己紹介



- 1986年 東芝半導体技術研究所入社
DRAM 設計開発に従事
 - 1987年 SDA(現Cadence)のEDAツールの導入立ち上げ
 - 1996年 IBM@BTVに駐在
DDR SDRAM 開発に従事
 - 1999年 ザインエレクトロニクス入社
0.35um@TSMCのPDKにアサイン、SerDes設計
 - 2006年 Trigen Semiconductor 創業
 - 2011年 Intel Capitalから第三者増資
 - 2022年 Trigen Semiconductor 任意整理解散/産総研 招聘研究員
 - 2023年 株式会社 AIST Solutions, プロデューサー/産総研 招聘研究員
 - 2024年 一般社団法人 OpenSUSI 代表理事
- ※ IEEE Senior member

外部資金 ~25億円を調達するも Series-D に失敗・会社清算

BIO: LinkedIn

<https://www.linkedin.com/in/jun-ichi-okamura-6b8bb2b/>

08-Oct-2024

産総研・九州センター研究会

白著記事

1980年、デジタルエンジニアへの道

<https://note.com/jun1okamura/n/n4364789a81af>

EETweets 岡村淳一のハイテクベンチャー七転八起

<https://eetimes.itmedia.co.jp/ee/series/431/>

PDK 今昔物語 - Qiita

<https://qiita.com/jun1okamura/items/6b76168f11f04027fbd9>

半導体ビジネスの定性的コスト分析論

<https://qiita.com/jun1okamura/private/46baa5a35066f18a0801>

08-Oct-2024

産総研・九州センター研究会



AIST Solutions とは

社会課題を解決し、新たな事業価値創出に貢献する

私たちAIST Solutionsは産総研と一体となり、
科学技術とマーケティングを掛け合わせ、
社会課題の解決に取り組み豊かな未来の実現に貢献いたします。



代表取締役社長 逢坂 清治

COMPANY OVERVIEW

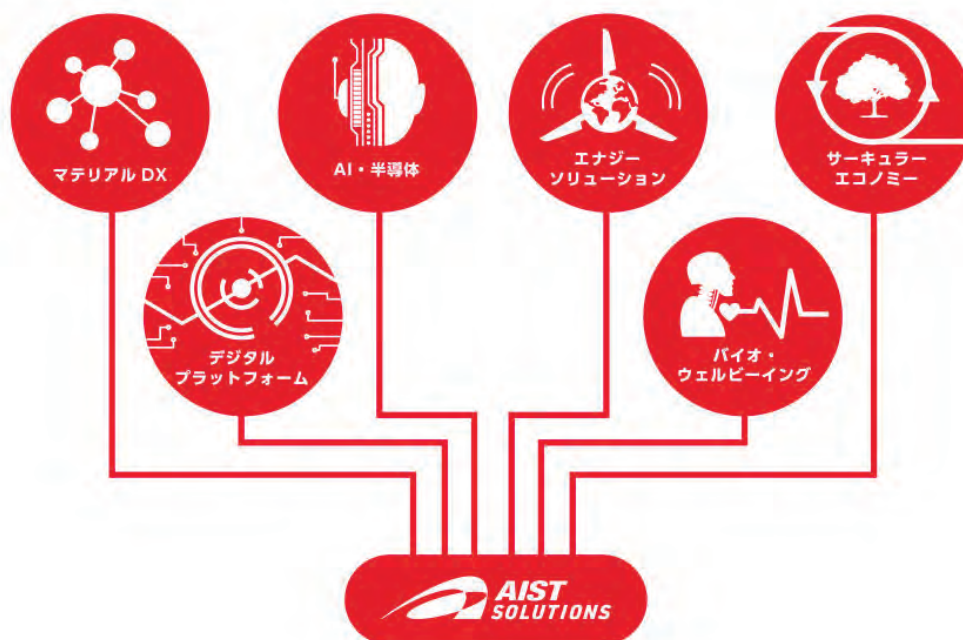
名称 株式会社AIST Solutions
(アイストソリューションズ)
所在地 【東京オフィス】東京都港区西新橋 1-1-1
【つくばオフィス】茨城県つくば市梅園1-1-1
代表者 逢坂 清治
設立日 2023年4月1日
資本金 1億円
出資者 国立研究開発法人産業技術総合研究所(100%)



08-Oct-2024

産総研・九州センター研究会

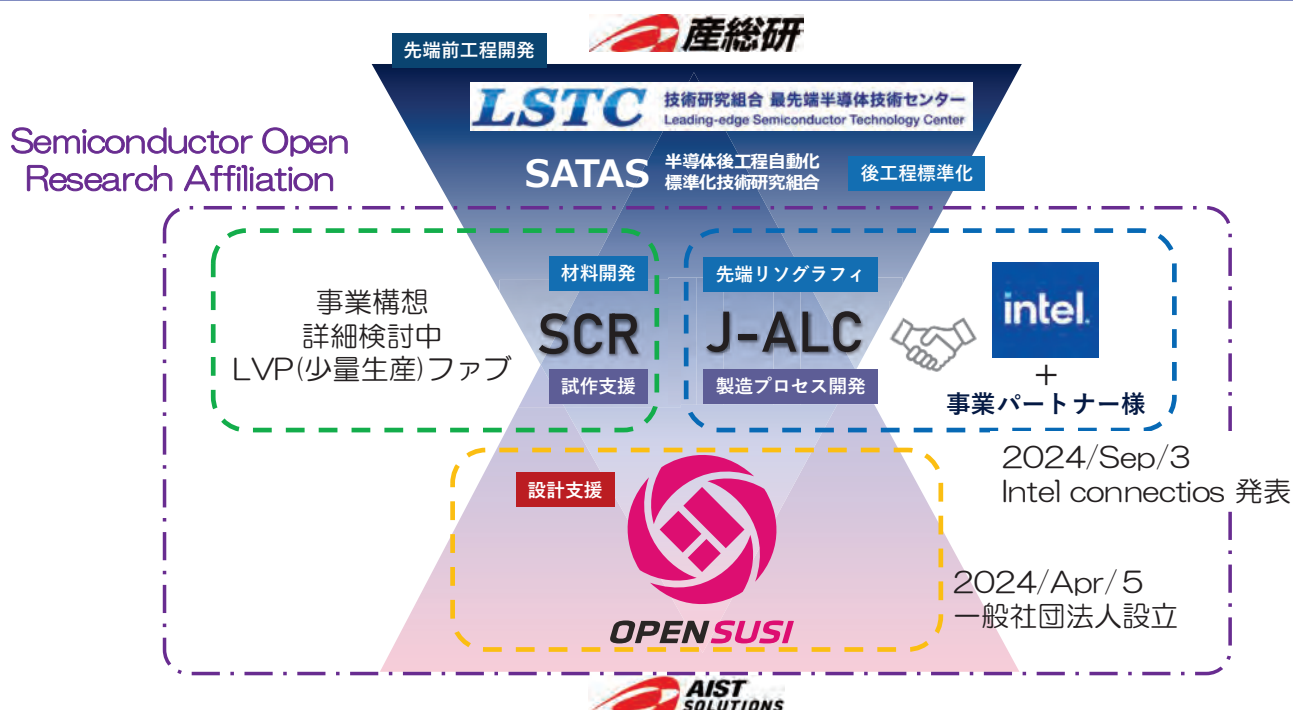
AIST Solutions の事業



08-Oct-2024

産総研・九州センター研究会

産総研・AISol 半導体関連組織 俯瞰図



08-Oct-2024

産総研・九州センター研究会

プレス関連(2024/May/10)



産総研やGoogle、半導体設計「オープン化」を主導：日本経済新聞

<https://www.nikkei.com/article/DGXZQOUC228690S4A420C2000000/>



08-Oct-2024

産総研・九州センター研究会

半導体・デジタル産業戦略（経産省）

先端半導体開発・人材育成拠点の整備

- 米国、欧州など海外では、半導体設計から製造まで一貫してオープンな開発が出来る拠点が整備されている。
- 我が国でも、今後の最先端の半導体技術開発及び人材育成のためのオープンイノベーション拠点の整備が必要。
- 例えば産総研は、設計や一部の半導体製造は行っているが、産業界のニーズに応じるためには拠点強化が重要。具体的には、国内外の企業、研究機関、大学などと連携をして、配線、後工程まで機能を拡張し、一貫通貫で試作できる拠点を構築する必要があると認識
- **グローバル連携の研究開発、テストチップ生産や人材育成など、幅広いユーザーが活用可能な拠点をを目指す。AIST Solution事業のOpenSUSIとも協力し、多様な産業部門におけるオリジナルチップの開発に貢献していく。**



08-Oct-2024

産総研・九州センター研究会

次世代半導体研究開発・報告書（文科省）

検討会での主な意見（今後重点的に取り組むべき研究開発課題）

- 今後10年以上にわたり半導体は国家戦略上重要な技術分野。先端ロジック半導体はラピダスが2027年に量産を開始することを計画しているが、その後も先端半導体分野で日本が持続的に成長するためには、10年後を見据えて今から基礎的・基盤的な研究開発や人材育成に着手することが必要。
- 未来社会を予測しつつ今後進展する地球規模課題や日本の課題の解決に必要な技術を特定し、集中して国として取り組むことが必要。その際、日本の弱みを補いつつ強みを活かす戦略が必要。

未来社会	<ul style="list-style-type: none">✓ AIを搭載したロボティクスの活用が拡大。エッジの知能化（フィジカルインテリジェンス）により、科学研究を含む様々な産業分野を自動化しGXを推進することが可能。半導体分野では、半導体の研究開発や設計、製造をAIにより自動化・高度化・省エネ化することが可能。✓ AIを搭載するエッジ側の半導体の重要性が高まる中、一部の半導体は水平分業型から日本が得意とする垂直統合型に移行する可能性。既にTesla、マイクロソフトなど非半導体企業が半導体設計を開始。
地球規模課題	<ul style="list-style-type: none">✓ 人類の活動により、地球の温暖化、生物多様性の破壊、化学物質による汚染が進展。今後AIの利用拡大等によりコンピューティングに必要な電力が増加し、2030年代には全クラウドシステムの消費電力が全世界の発電エネルギーを超える恐れがあり、エッジAI半導体の性能向上が必要。
日本の課題	<ul style="list-style-type: none">✓ 2030年には、人口の約1/3が高齢者になり、労働力人口が減少する見込み。特にサービス、医療・福祉、製造、運輸などの労働力が不足するためロボティクス等による自動化が必要。
日本の弱み	<ul style="list-style-type: none">✓ 設計、先端ロジックの研究開発力やアプリケーションから半導体まで落とし込むシステム化が弱い。✓ 2030年以降（Rapidusが量産に成功した後）に必要な次世代の先端ロジック技術を支えるアカデミアの研究開発や人材育成体制を国内に整備できていない。
日本の強み	<ul style="list-style-type: none">✓ 装置・材料メーカーやメモリ・センサ等の分野において国際的な競争力を保持。材料や分析技術等、アカデミアの強みを活かせる分野もある。✓ 自動車・ロボット産業が一定の世界シェアを保持。全体としてAIの研究開発力は米国に劣後しているものの、少数のAIスタートアップ（PFN等）が存在。

4

08-Oct-2024

産総研・九州センター研究会

AISol Open Source Silicon 事業の目標

国内の半導体アセット（チップ製造能力）を本プロジェクトのプラットフォームに再整備することで専用半導体の設計の参入障壁を下げ、国内産業が専用半導体にて国際競争を勝ち抜く環境を提供する。



Open Source Silicon for Japan

AIST Solutions のプロデューサー事業として

「レガシーファブを利活用するユーザとデマンドの発掘」

を国内ファブ + Googleと連携してPoC



08-Oct-2024

産総研・九州センター研究会

オープン・ソース・ソフトウェアの世界



Android SDK



Visual Studio Code



GitHub



OpenAI



PyTorch

08-Oct-2024

産総研・九州センター研究会

シリコン=半導体チップ開発の世界

検証



レイアウト



テスト



コンパイラ



チップ試作



08-Oct-2024

産総研・九州センター研究会

新参者には、やたら高い参入障壁



08-Oct-2024

産総研・九州センター研究会

オープンソースシリコンとは？

1. オープンソースの設計ツール(EDA)にて設計。設計環境やスクリプトを公開することが可能であること、第三者による検証・改良・複製により、コミュニティにて共有できること。
2. オープンソースのプロセス情報 (PDK)にて設計。設計資産(回路図・GDSII)やソースファイルを公開することが可能であること、第三者による検証・改良・複製により、コミュニティにて共有できること。
3. 上記 1、2 で設計したオープンソース設計チップを製造するファブ・サービスが存在し、設計したハードウェアの動作を検証できること。

08-Oct-2024

産総研・九州センター研究会

オープンソースシリコン・タイムライン

2018 : DARPA (国防高等研究計画局) OpenIDEA プログラム

2019 : efabless/Google が SkyWater の PDK をオープン化

2020 : Google/efabless/SkyWater OpenMPW プログラムスタート

2022 : Global Foundries が OpenMPW プログラムに参加

2023 : 独) iHP (130nm/SiGe) が PDK のオープン化を宣言

2023 : Open PDKの管理を Chips Alliance がサポート

2024 : 日本からオープンソースシリコンを世界に発信できるか？

Minimal Fab (2023) + 国内レガシーファブの本格参入

<https://www.darpa.mil/program/intelligent-design-of-electronic-assets>
https://www.darpa.mil/attachments/eri_design_proposers_day.pdf
<https://github.com/The-OpenROAD-Project>
<https://developers.google.com/silicon>

08-Oct-2024

産総研・九州センター研究会

オープンソースシリコンとロングテール半導体

OpenPDK/EDA community

国内レガシーファブ(JSC/TPSCo/Rohm)

$$\text{半導体原価} = \frac{\text{設計開発コスト (EDAツール+IP)}}{\text{生涯生産数}} + \frac{\text{マスク費用 (マスク単価} \times \text{総数)}}{\text{生涯生産数}} + \frac{\text{製造費 (ウェハ単価)}}{\text{グロス数}}$$

国内産業機器企業等
JASA/JEITA/etc...

裾野ユーザーの開拓
ロングテール = 生涯生産数 : 少ない

課題解決の道 : 分子をどうやって減らすか !

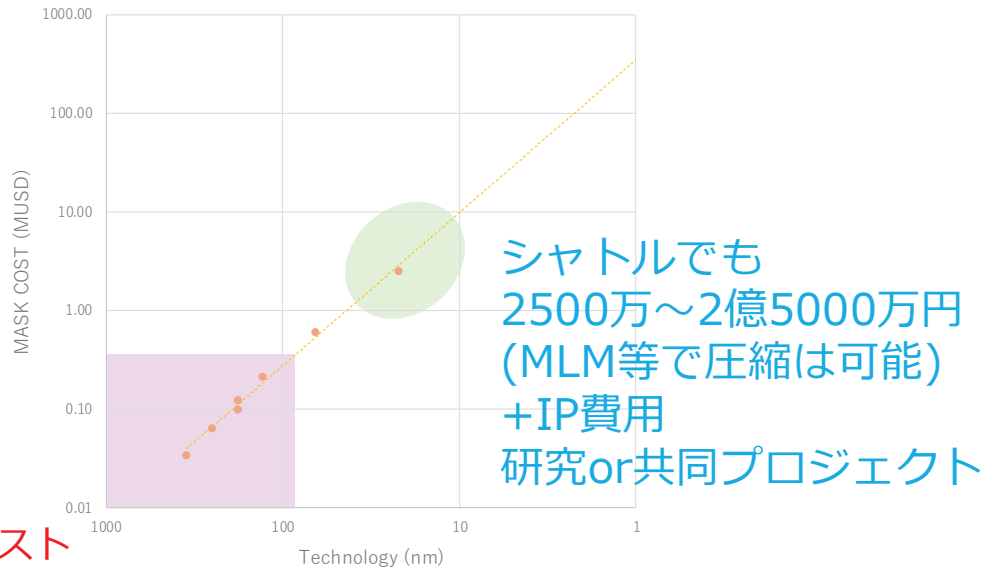
レガシープロセスの採用 + EDAツールとIP等の設計環境コストの削減

08-Oct-2024

産総研・九州センター研究会

マスク費用概算(MPW)

FULL-MASK COST by TSMC



1um~90nm マスクコスト

150万~6000万円 for フルマスク, 4万~150万 for シャトル (40/reticle)

「半導体ビジネスの定性的コスト分析論」 <https://qiita.com/jun1okamura/items/46baa5a35066f18a0801>

08-Oct-2024

産総研・九州センター研究会

STEM 教育としての半導体設計

体系的教育アプローチ

Abstraction Layer Sandwich

Software Systems
Algorithms

Hardware Systems
Circuits

Devices
Materials



Traditional learning
trajectory for chip
designers

- The current education system requires far too many prerequisite courses before exposing students to chip design (especially mixed-signal)
- The field was created bottom-up, but innovation is progressively shifting to higher levels of abstraction
- We must adjust to this trend to re-energize chip design education

まず、作ってみる > 勉強する

Starting From the Top

Software Systems
Algorithms

Hardware Systems
Circuits

Devices
Materials



"Just-in time"
exploration

- It is not necessary to understand the entire sandwich to learn the basics of chip design (including mixed-signal ICs)
- Possible approaches for university teaching
 - Follow along as the instructor creates a "template" design
 - Form teams of students with complementary skill sets
 - Some may understand transistors, some excel at software, etc.

5/14~5/15、最先端集積回路設計に関する日米連携ワークショップ :

Teaching Mixed-Signal Design Using Open-Source Tools, Boris Murmann, University of Hawaii

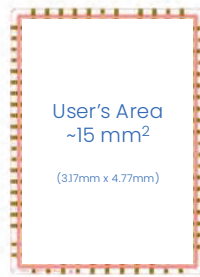
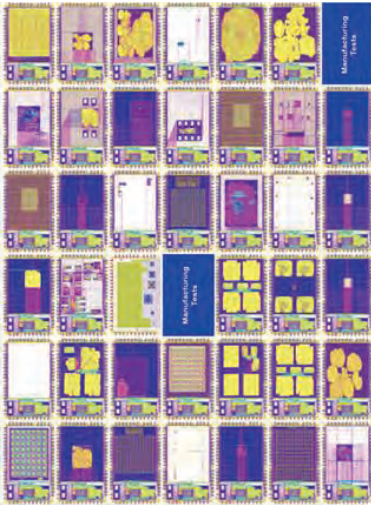
https://github.com/bmurmman/US_Japan_Semiconductor_Workshop/blob/main/Day%201%20-%201100%20-%20Teaching%20using%20OS/slides.pdf

産総研・九州センター研究会



08-Oct-2024

130nm (chipIgnite) で出来ること



マイラズパイ程度
は設計可能
\$9,750
評価ボード付き



Skywater nand2 size 3.753um² = 3.9M Gates
4KB single port SRAM : 0.118mm²

Can integrate RISC-V 32 I/E
~120K Gate + Cash (4K~16KB)

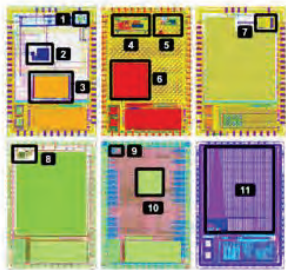
40 Dies/Reticle

08-Oct-2024

産総研・九州センター研究会

IEEE SSCS Chipathon (設計コンテストができる)

2021 IEEE SSCS Chipathon



Function	Team	Chip URL
1. 5G bidirectional amplifier	Pakistan3 (FAST National University)	
2. Wireless power transfer unit	Pakistan2 (FAST National University)	https://efabless.com/projects/560
3. Variable precision fused multiply-add unit	Pakistan1 (FAST National University)	
4. Oscillator-based LVDT readout	India2 (Anna University)	
5. Temperature sensor	India1 (Anna University)	https://efabless.com/projects/474
6. GPS baseband engine	India3 (Anna University)	
7. Ultra-low power analog front-end for bio signals	Brazil3 (U. Federal de Santa Catarina)	https://efabless.com/projects/476
8. TIA for quantum photonics interface	USA4 (University of Virginia)	https://efabless.com/projects/470
9. Bandgap reference	Egypt1 (Cairo University)	todo
10. Neural network for sleep apnea detection	USA2 (University of Missouri)	todo
11. SONAR processing unit	Chile (University of the Bio-Bio)	todo

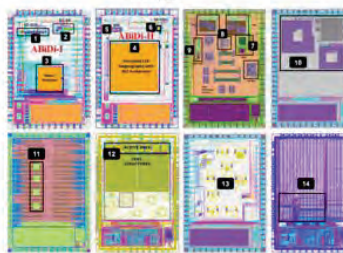


[Link to Article](#) [SSCS Magazine Article - NOV 2021](#)

Paid runs via Efabless chipIgnite
All design

Made possible with Efabless' chipIgnite

2022 IEEE SSCS Chipathon



[Link to Article](#) [SSCS Magazine Article - JAN 2022](#)

Function	Team	Chip URL
1. Spenser design-CMOS ADC	Pakistan1 (FAST National University)	todo
2. On-Chip DCO/ Converter with Fast Transient Response	Pakistan4 (FAST National University)	https://efabless.com/projects/486
3. Matrix Multiplier for AI at the Edge	Pakistan7 (FAST National University)	todo
4. Encrypted LFSR Steganography with AES Accelerator	Pakistan2 (FAST National University)	https://efabless.com/projects/483
5. CMOS Bandgap Reference	Pakistan3 (FAST National University)	todo
6. Self-Interference Cancellation LNA	Pakistan4 (FAST National University)	todo
7. Sub-Sampling PLL for SoC/SoP Applications	Austria (Institute of Applied Electronics)	todo
8. 60 GHz Demonstrator Chip	Brazil (University of São Paulo)	https://efabless.com/projects/481
9. Low-Power 10-bit SAR ADC	USA1 (University of Alabama & MIT Lincoln Lab)	todo
10. Boost Converter for Battery-Powered IoT Applications	Greece (Aristotle University of Thessaloniki)	https://efabless.com/projects/487
11. Radiation-Hardened ALU	USA2 (North Carolina State University)	https://efabless.com/projects/509
12. DC-DC Buck Converter for CubeSat	Chile (Argentina/Uruguay) Universidad Técnica Fed. Santa María, Universidad Nacional del Sur & Instituto Nacional de Tecnología Industrial, Universidad Católica	https://efabless.com/projects/482
13. Electrochemical Water Quality Monitoring	USA (University of Tennessee)	https://efabless.com/projects/479
14. Mix-Pix - A Mixed-Signal Circuit for Smart Imaging	Chile (Universidad del Bío-Bío)	https://efabless.com/projects/480

Made possible with Efabless' chipIgnite



08-Oct-2024

産総研・九州センター研究会

産総研での2023年度研究活動

オープンソースEDAを活用したLSI開発環境の開拓

目的：国内のオープンソースEDA/PDKの利用普及に向けた開拓を産総研が担う

研究項目1. オープンソースEDAの利用手法の確立とチップ作成

- オープンソースEDAツールであるOpenLaneの利用環境構築と利用技術の確立
- efabless社の商用シャトル等を用いたLSIチップ試作・機能検証・評価

研究項目2. チップセキュリティ技術を題材としたオリジナルチップ作成の試行

- 開発実績のある暗号・符号回路IPと新規開発の簡易RISC-Vコア・PUF回路を組み合わせたチップの作製・評価
- オープンソースEDAを用いたオリジナルセキュリティSoCの開発

研究項目3. オープンEDA/PDKを活用したアナログ回路自動設計ツールの開発

- 知識のない人でも簡単にアナログ回路を作成できる自動設計ツール開発

08-Oct-2024

産総研・九州センター研究会

Entry to Expert Practical Education Course

Tiny Tapeout!
Demystifying microchip design and manufacture

8 bit counter
49 cells

STANFORD COURSE EE372

Kairo: A Vector Processor for Error-State Extended Kalman Filter Acceleration
Code: Design, Caravel User Project
Documentation: Proposal, Design Review, Final Presentation, Report
Request: Review a 128K-gate vector processor (Kalman filter processor) with an extended Kalman filter (EKF) for state estimation, and an extended Kalman filter (EKF) for state estimation, and an extended Kalman filter (EKF) for state estimation.
<https://priyanka-raina.github.io/ee372-spring2022/>

Grapevine: An Asynchronous Numerical Classifier Using Sparse Grids
Code: Design, Caravel User Project
Documentation: Proposal, Design Review, Final Presentation, Report
Request: Review a 128K-gate asynchronous numerical classifier using sparse grids (SG) for state estimation, and an extended Kalman filter (EKF) for state estimation.
Leo Lu, Priyanka Raina

12-bit 10-KSPS Incremental Delta-Sigma ADC in Skywater 130 nm
Code: Design, Caravel User Project (Analog)
Documentation: Proposal, Design Review, Final Presentation, Report
Request: The design is a 12-bit 10-KSPS incremental delta-sigma ADC (digital-to-analog converter) designed for an analog-to-digital converter (ADC) in a 130 nm process. The ADC consists of a resistor ladder, an operational amplifier, and a feedback loop. The total area of the ADC is 0.15 square micrometers, with 0.1 square micrometers for the feedback loop and 0.05 square micrometers for the rest.
Raymond Yang, Yaping Xia

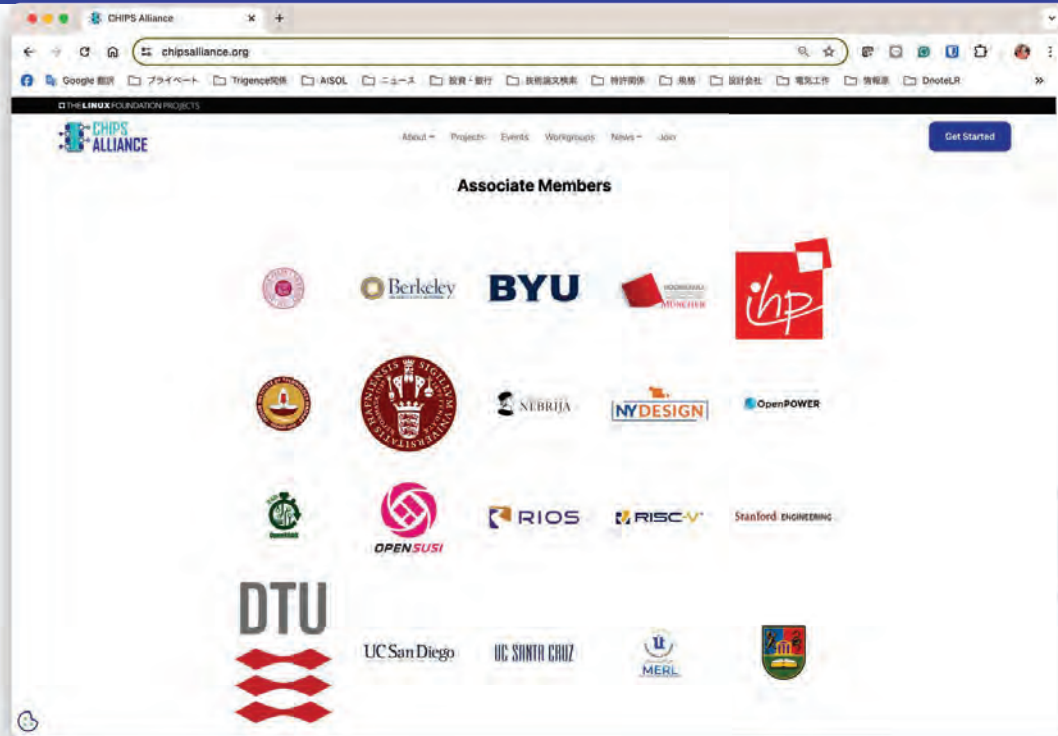
Automated Analog Layout of Bandgap Reference Circuit
Code: Design, Caravel User Project (Analog)
Documentation: Proposal, Design Review, Final Presentation, Report
Request: This project aims to automate the layout of a bandgap reference circuit (BGR) in a 130 nm process. The BGR is a critical component in many analog-to-digital converters (ADCs) and is used to provide a stable reference voltage. The layout of the BGR is critical to its performance, and this project aims to automate the layout process. The layout of the BGR is critical to its performance, and this project aims to automate the layout process.
Yueying Li, Xingyu Ni

Made possible with Efabless' **chipIgnite** efabless.

08-Oct-2024

産総研・九州センター研究会

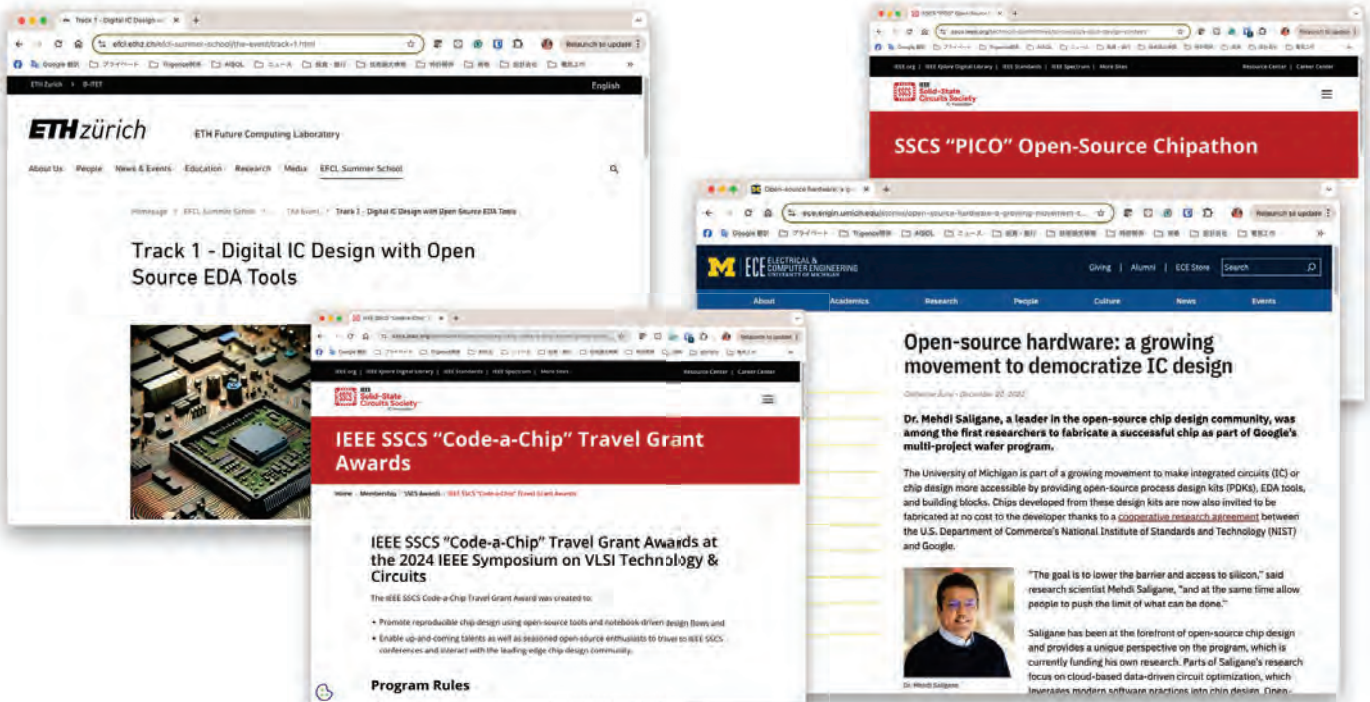
ChipsAlliance membership



08-Oct-2024

産総研・九州センター研究会

Overseas activity



08-Oct-2024

産総研・九州センター研究会

Tiny Tapeout (~1K Gate/\$300)

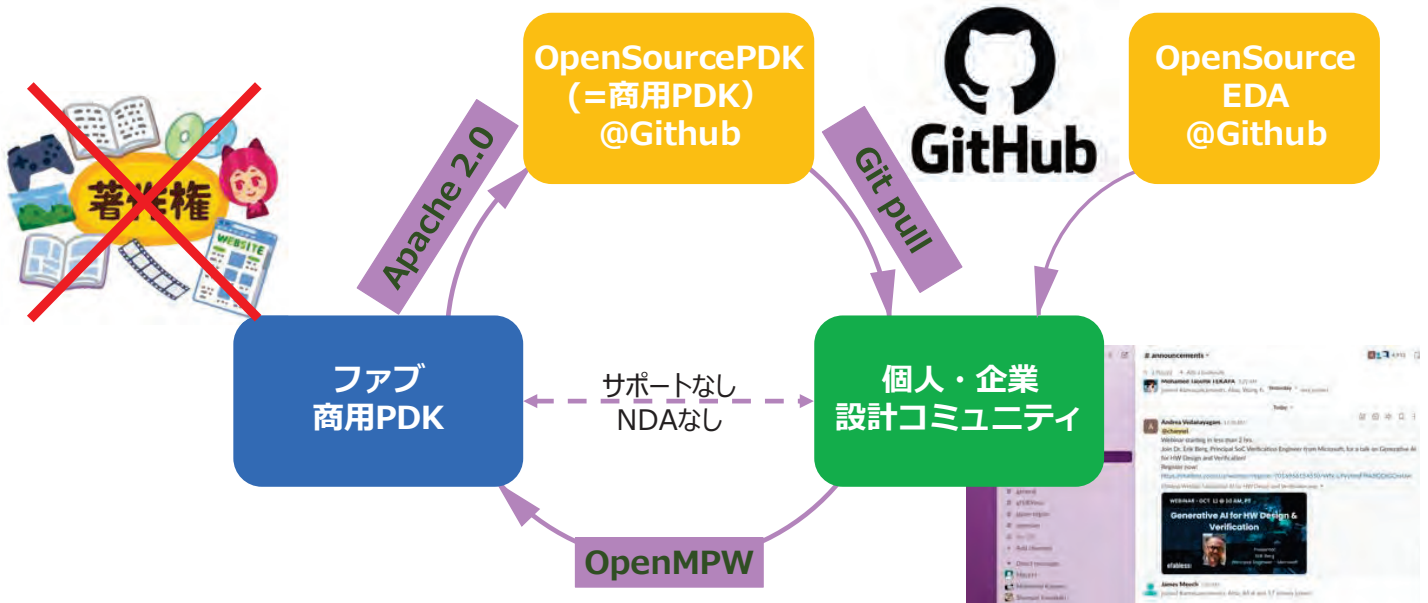
The screenshot shows the Tiny Tapeout website. At the top, there's a navigation bar with 'Products', 'Solutions', 'Resources', and 'Company'. A 'Login or Signup' button is visible. The main header features 'TYE's Tech Lab. TYE's Technology Laboratory' and a search icon. Below this, a blue banner reads 'TinyTapeoutでオレオレICを作ろう'. The main content area includes a 'Purchase Tokens for Tiny Tapeout' button and a section titled 'Affordable Design Submission' with a list of features: Free Design Tools, Dedicated Tile Space, Fabrication and Packaging, and Development Board. To the right, there are images of a chip layout and a calendar event for '2023年シルバーウィーク特別イベント「TinyTapeoutハンズオン」勉強会'.

<https://techlab.com/2024/02/18/tinytapeout%E3%81%A7%E3%82%AA%E3%83%AC%E3%82%AA%E3%83%ACic%E3%82%92%E4%BD%9C%E3%82%8D%E3%81%86/>

08-Oct-2024

産総研・九州センター研究会

Open Source Silicon の Eco System

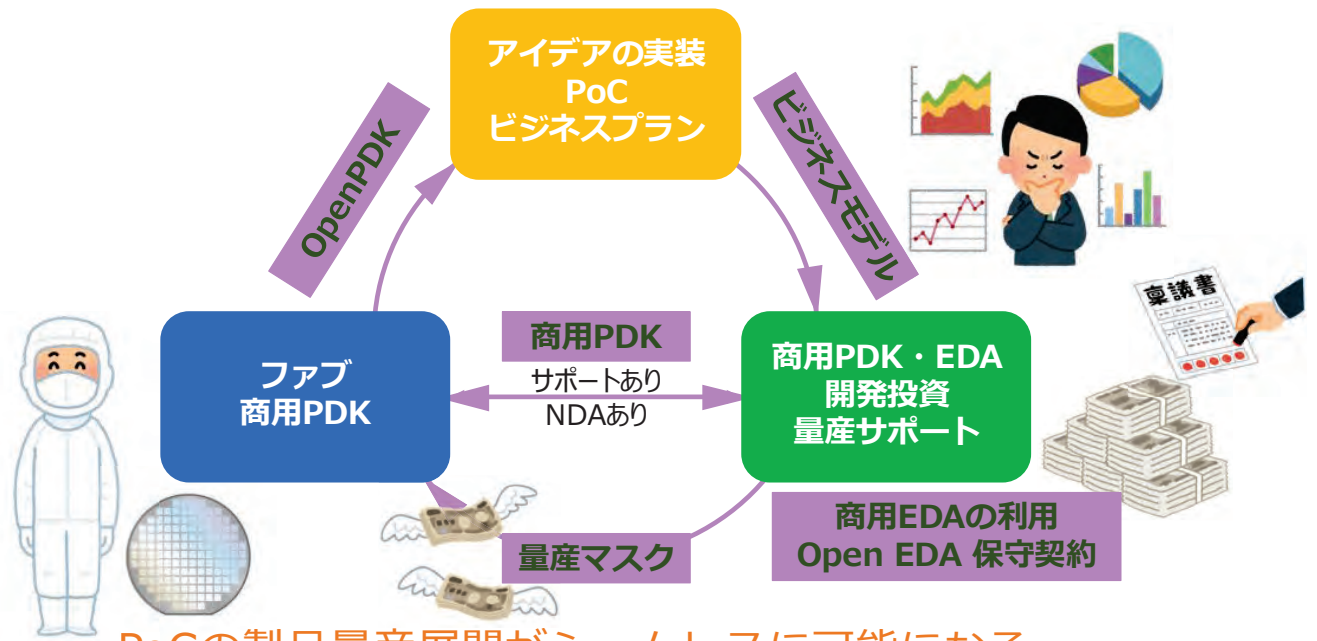


誰でも自由にPDKをダウンロードしてチップが設計できる。
ファブには、新たな負担や投資は発生しない。

08-Oct-2024

産総研・九州センター研究会

Open Source Silicon ビジネスモデル



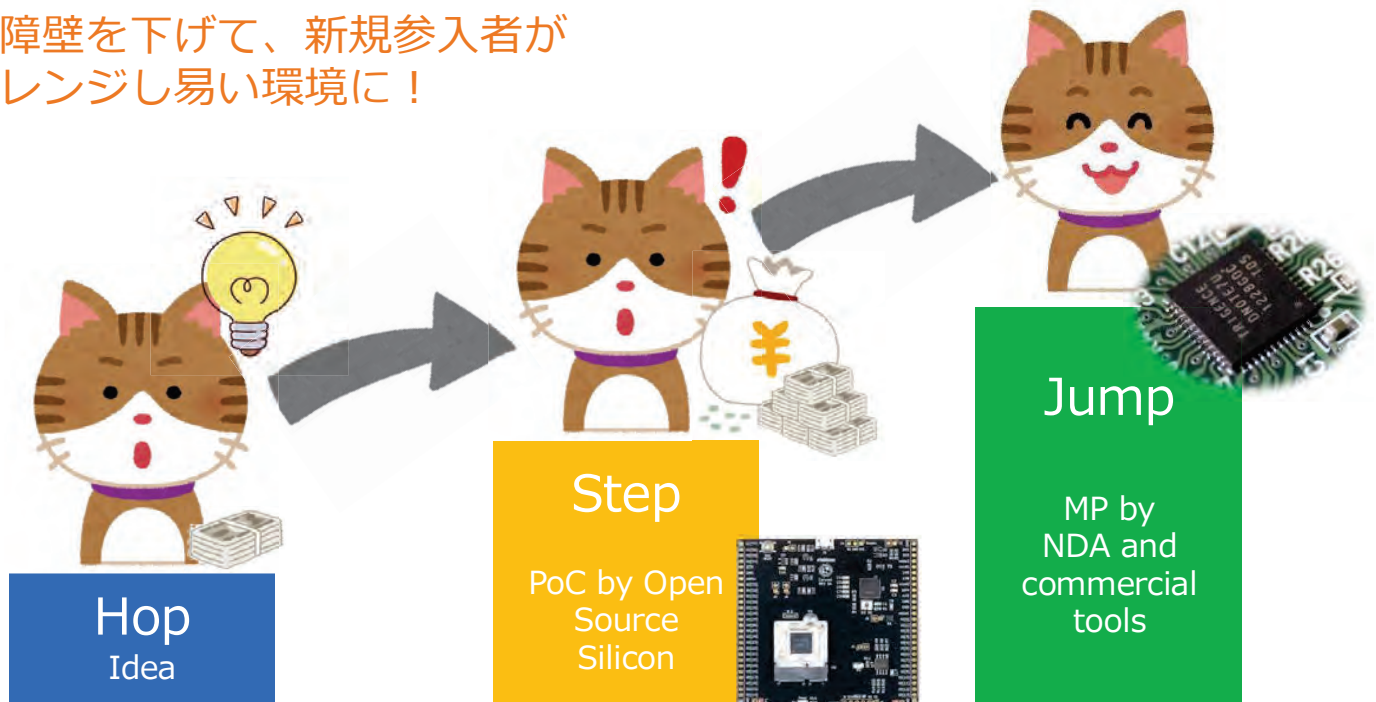
PoCの製品量産展開がシームレスに可能になる。
PDKの商用利用はデュアルライセンスでサポート。

08-Oct-2024

産総研・九州センター研究会

OpenSUSI が目指す半導体開発のビジョン？

参入障壁を下げて、新規参入者が
チャレンジしやすい環境に！



08-Oct-2024

産総研・九州センター研究会

Open Source Utilized Silicon Initiatives

Open Source Utilized Silicon Initiatives (OpenSUSI) 設立趣意書

国内の半導体アセット（チップ製造能力）を、プラットフォームに再整備することで、専用半導体設計の参入障壁を下げ、国内産業が専用半導体にて国際競争を勝ち抜く環境を提供することを目的として、社団法人 OpenSUSI を設立いたします。

OpenSUSI は、オープンソースのEDAツールとオープンソースの半導体が、我が国の半導体産業の競争力、革新性、教育、独立性、サイバー耐性、環境持続可能性などに貢献できると信じ、またオープンな設計環境が、経済的な指標だけでなく、社会全体に及ぶ副次的な効果もあると信じて、その展開と普及を目指します。

【定款】

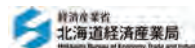
1. 半導体のオープンソースPDK（設計情報）の企画、開発、提供
2. オープンソース又は潜在利用需要を喚起する経済条件での専用半導体試作サービスの提供
3. オープンソースの半導体設計コミュニティの企画、運営及びそれらを通じての人材育成
4. 半導体のオープンソースPDK（設計情報）のノウハウ蓄積、公開
5. 半導体に関する知的財産権の開発、管理、保護
6. 講演、展覧会、シンポジウム、セミナーの企画、運営
7. 書籍、雑誌、印刷物等の企画、制作、販売
8. 半導体に関する内外の諸機関、団体、研究機関、教育機関との情報交換、連携及び協力
9. その他、本会の目的達成に必要な事業



08-Oct-2024

産総研・九州センター研究会

OpenSUSI Eco-System(案)



SYNOPSYS®

efabless
代理店契約

cadence®

Google
協賛

SIEMENS



CHIPS
ALLIANCE



OPEN SUSI

国内ファウンドリー
協賛

JEDAT®

OpenROAD
Initiative

連携

海外連携

NSW

組込みシステム技術協会
Japan Embedded Systems Technology Association

IST ぶくおかアイスト
公益財団法人 福岡産業・科学技術振興財団

アカデミア

JEITA

公益財団法人 九州経済調査協会
KYUSHU ECONOMIC RESEARCH CENTER

国内連携

東京大学
THE UNIVERSITY OF TOKYO

九州大学
KYUSHU UNIVERSITY

東北大学
TOHOKU UNIVERSITY

熊本大学
Kumamoto University

MIT 独立行政法人国立高等専門学校機構
有明工業高等専門学校

08-Oct-2024

産総研・九州センター研究会

Open Source Silicon ターゲット企業



組込み機器開発企業

商用半導体やFPGAを使ったボード開発、海外企業との競争や差別化のためにはASIC化したいが、開発コストが課題



ソフト開発企業

CPUやGPUを使うIoT関連のソフトや機器を開発。低消費電力や小型化による差別化のためにASIC化したいが、開発コストが課題



産業機器開発企業

商用半導体やFPGAを使って機器を開発。海外企業との差別化、技術の隠蔽、性能向上のためにASIC化したいが、開発コストが課題。



スタートアップ企業

資金調達のためにASICによる技術のPoCを投資家や企業パートナーにアピールしたい。コア技術のハードウェア化による差別化は必須だが開発コストが課題。

高価な商用EDAツールを導入して独自ASICを自力で開発できる体力のない企業を「対象」とする。商用からオープンへの宗旨替えが目的ではない。今まで、商用EDAツールの導入に手が届かない「組織」「企業」でも、ASICによる自社製品の差別化のPoCを可能とするプラットフォームを提供する。

08-Oct-2024

産総研・九州センター研究会

FPGAだけがロングテール半導体の解なのか？

FPGAの本質的な課題

- チップ面積の10~20%しか活用できない(SDGとしても課題)+コピー容易。

FPGAの近年の課題

- 特にコロナ以降、入手性とコスト変動に関し危機感あり。購買量的に大口にならず販売店が塩対応。
- サプライヤー側が高性能品志向にあり、小規模容量の製品がEOLになりつつある。
- 要らない機能(IP)が多くあり、仕様のToo Much。
- PKGは、PCBの層数は減らしたいのでQFPが望ましい、BGAは使いたく無い。3.3Vサポートも必須。
- FPGAは製品の切り替えにてピン配が変わり、ボードが全部作り直しになる。

08-Oct-2024

産総研・九州センター研究会

ASICがロングテール半導体の解になるのか？

ASICの課題

- MOQが大きい、NREが高い（EDAツール）
- IP費用が高い、サプライサイドが寡占＝コストコントロール
- ロングテール製品はライフが長いので供給責任を保障しないといけない。
- 国内ファブは、いつ潰れるか分からなくて怖い＞大手電機ASIC撤退の影響。
- 自社で設計リソース(EDAツール)を抱えきれない。

ASICの魅力

- コピープロテクト＋製品差別化ができる。
- 地政学的な脅威（製品供給断等）へ対処できる。

08-Oct-2024

産総研・九州センター研究会

OpenSUSI ヒアリング

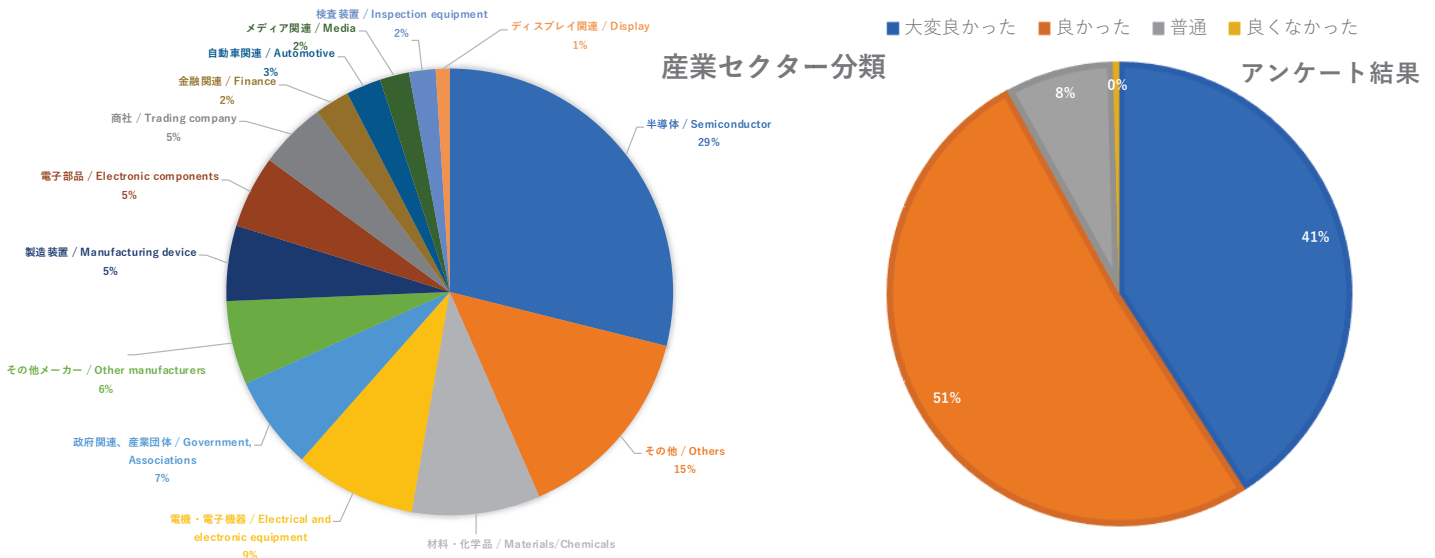
	日付	訪問先	部署	名前	OpenSUSI へのコメント
1	2024/05/01	[Redacted]	[Redacted]	[Redacted]	社内向けプリンター等のASICを自社で製造している
2	2024/05/08				少量ASICを東芝系ファウンドリに無理にお願いしている。
3	2024/05/16				FPGAを使っている
4	2024/05/16				CRP2jにて社内むけ宣伝
5	2024/05/20				よくわからず
6	2024/05/27				ソニー・鹿児島でシャトルを流すのは難しい
7	2024/05/29				東芝ASICを止めたのでFPGAに換えた。国内ファブに疑念
8	2024/05/30				先端ASICはマスクも高い
9	2024/06/19				ルネサス、三菱電機がASICを辞めたトラウマがある。
10	2024/06/26				オープンIPの充実に期待

国内IDMがASIC（少量）を止めたトラウマ(=EOL)がある > メッセージが必要

08-Oct-2024

産総研・九州センター研究会

Webinar@2024/Feb/29 11:00-12:00 KPI

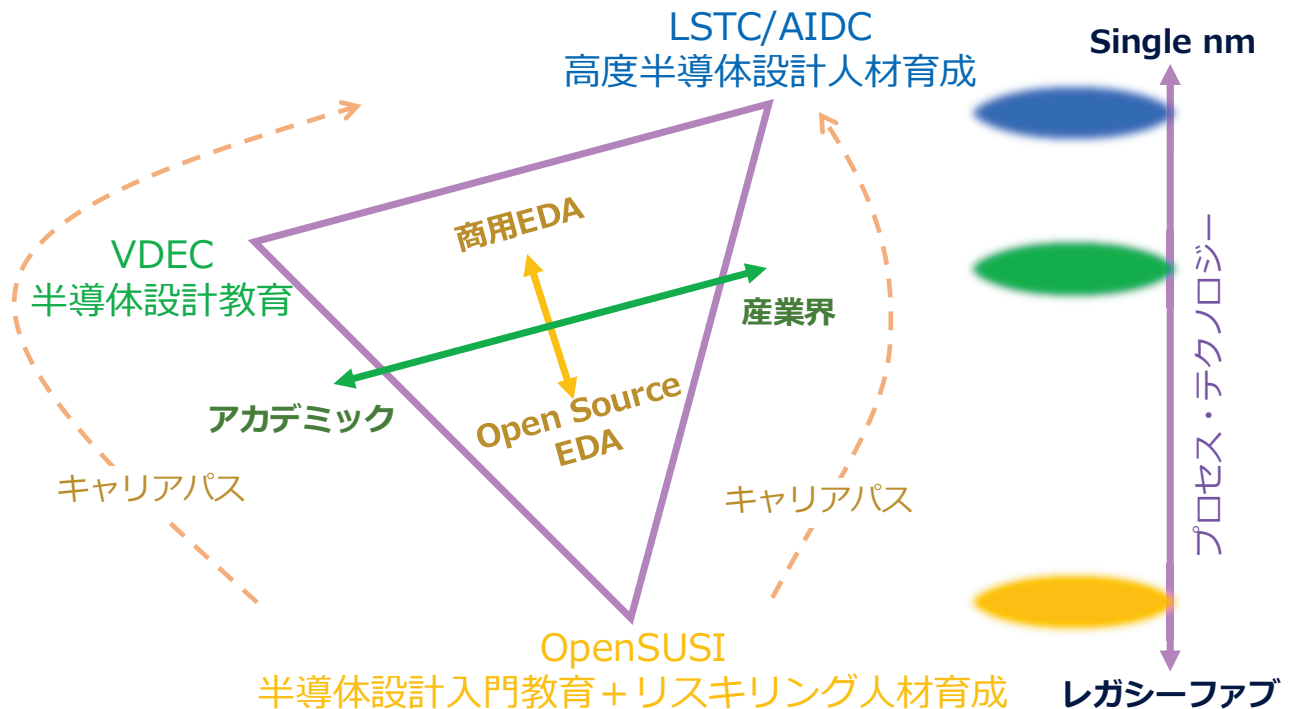


- 参加申し込み：1005名、オンライン参加：ピーク>640名、終了時：515名、事後アンケート回収：237
 - 幅広い業界から注目、半導体以外が7割以上
- オンラインアンケート結果
- 半導体設計の世界でもオープンソースの活発化は必要だと思いますか？ 283/296 (96%)
 - 150万円でMy ASIC作ってみたいですか？ 163/298 (55%)

08-Oct-2024

産総研・九州センター研究会

半導体設計人材(教育/育成)鳥瞰図



08-Oct-2024

産総研・九州センター研究会

草の根コミュニティ (ishi-kai.org)



2023/05 スタート
~20 members

2024/Aug/12
276 members

の説明

本会は、ISHI会 (Inter-linked Society on Homemade IC Kit) と命名されました。オープン化 (民主化) されたISHI=I+Silicon半導体 (ASIC/LSIC) を扱い、いろいろな分野を繋いでいくソサエティ・コミュニティ (会) から発展したホムセンクラブです。

その先駆けとして登場したOpenMPW/Open Make Project Walnutは、Google社がInfisys社に出資して生まれたシミュレーションプログラムであり、半導体 (ASIC/LSIC) を作るうえで必要なツール (EDA/PDK) からファブでのISHI製造まで全て、すべてオープン&無料半導体 (ASIC/LSIC) を製造することができるプログラムです。これはまさにGSIから始まったオープンソースムーブメント (ソフトウェアの民主化) の「半導体 (ASIC/LSIC) のEDA/PDKのオープン化」であります！

そこで、本会は、これまでの半導体 (ASIC/LSIC) の専門家だけでなく、これから半導体 (ASIC/LSIC) のオープンソースムーブメントに可能性を見出した人たちと新しく半導体 (ASIC/LSIC) を作りたい人たちにスポットを当てたユーザーズ・コミュニティ (会) として立ち上げました。

専門家が利用可能なコンパイラ、ライブラリ、アプリ、電子基板、IC CADや3Dプリンターがオープンソースソフトウェア、オープンハードウェア、オープンモデリングなどとして誰もが利用できるようになったように、半導体 (ASIC/LSIC) やEDA/PDKを誰もが利用できる形勢を目指して活動していく所存です。

今後の活動方針としては、他分野の人たちを巻き込んで半導体 (ASIC/LSIC) 分野に革命を起こすという方針で、他分野向けの超初心者向けハンズオンセミナーや専門業界向けの深い内容の勉強会などのイベントを開催したり、チームを作ってOpenMPWや世界のChipshotに挑戦したり、Maker Faireなどのイベントへの参加をしていきたいと思っておりますので、よろしくお願ひいたします。

※最新のお知らせ

ISHI会グランドデザイン

Our Stars

新規分野を開拓したいけど情報が足りない
「みんなの経験をチップに！」
ASIC/LSI化したいけど情報が足りない

ASIC/LSI業界の現状 (閉塞感)

- NDAでなにもしゃべれない
- 最先端は札束の応酬
 - 若者が入ってこない

他業界の現状 (限界感)

- 高速・小型・省電力の要求
 - 汎用チップ+ソフトでは限界

OpenMPWの登場! → **すべてがオープン!**

コミュニティの意義

- 成果の再利用が可能。Do it With Others (各自、みんなでやってみよう) の精神
- 日本の利点: 地理的に物理的に集まりやすく、勉強会や合宿をやりやすい

ISHI会の意義

- 他 (多) 分野の知識の統合により、今までになかった研究・開発への期待

08-Oct-2024

産総研・九州センター研究会

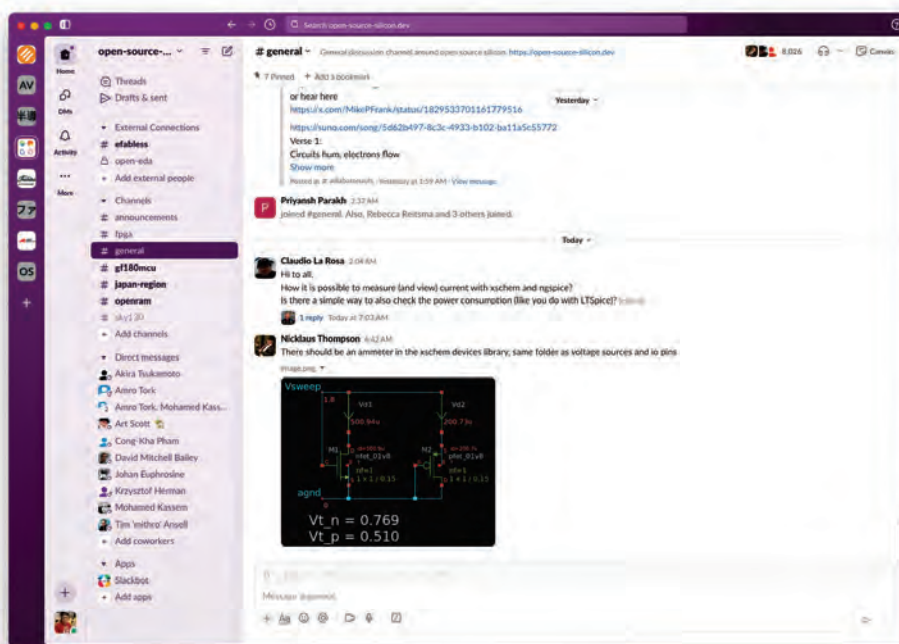
Domestic community (hands-on & event)



08-Oct-2024

産総研・九州センター研究会

草の根コミュニティ (Slack)



2024/Sep/1
8,026 members

open-source-silicon.dev

08-Oct-2024

産総研・九州センター研究会

日本語リファレンス

US の NSF(National Science Foundation)が資金を提供した半導体設計に関する、米国国内の課題と対策の提案書の Google 翻訳を公開しています。

<https://qiita.com/jun1okamura/items/54a374e06e6da6294c99>

欧州の Free Silicon Foundation (FSI) の半導体産業の競争力、革新性、教育、独立性、サイバー耐性、環境持続可能性への提案の Google 翻訳を公開しています。

<https://qiita.com/jun1okamura/items/332d1df15f85e3ba99ed>

EUのオープンソースシリコンに関する大学の先生からの公開書簡Google翻訳を公開しています。

<https://qiita.com/jun1okamura/items/c52bef509d9696049925>

08-Oct-2024

産総研・九州センター研究会

chipIgnite for Experiential Learning in Action



08-Oct-2024

産総研・九州センター研究会

Redemption Christian Academy is at Redemption Christian Academy
January 27 at 1:28 PM

Big things are happening at RCA!
Lamar Hill, Executive Director of NYDesign and a member of the President's Office of NYCREATES meets with Redemption Christian Academy STEM students for a General session on IC design. This amazing opportunity to partner with NYDesign and NYSTEC for **eFabless Chip Ignite**, a STEM experiential learning chip design program, will open up high level academic and career pathways for RCA students!

#stemeducation
#groundbreakers

High Schools

In other exciting news, Professor JB Koo, our newest Electrical Engineering faculty member who joined us in August 2021 from Intel Corporation, has negotiated with NYDesign. The facility supports microelectronic circuit fabrication for universities through industry partners like Google, IBM, SkyWater and eFabless, among others. NYDesign has agreed to provide three tape-outs of 130 nm CMOS technology, one each in January, February, and April of 2023. Each of these individually would cost roughly \$10k so this amounts to nearly \$30k worth of industry-based microelectronic circuit fabrication experience for our electrical engineering students.

Recently, I have focused on securing the necessary funding to launch the new Computer Science Program and several months ago, with the help of Lou Manzione one of our trustees, I began an engagement with Bell Labs. Part of that engagement resulted in their donation of a stereo microscope, several high-performance oscilloscopes, a spectrum analyzer, and a function generator. In addition, the President of Bell Labs, Peter Vetter, will come to Cooper Union on October 27th to engage with faculty and students and give a lecture to the IEEE Student Branch. Additionally, I have had very promising meetings with the Director of the Simons Foundation Flatiron Institute Center for Computational Mathematics and the new head of the machine learning group to discuss the possibility of a joint Computer Science faculty appointment, similar to the one Professor Alice Pisani holds with the Center for Computational Astrophysics at Flatiron.

Finally, I encourage you to take some time to read the articles included in this newsletter. This is by far the largest newsletter to date, an indication of the vibrancy of all that is going on in the School of Engineering.

Thank you again for sharing your valuable time with me on Shoop's Stoop! It's an exciting time to be part of the Albert Nerken School of Engineering. I look forward to sharing additional updates in future editions.

Barry L. Shoop
Barry L. Shoop, Ph.D., P.E. | Dean of Engineering

Tags: [Barry L. Shoop](#)

Universities

LOCAL

Mohawk Valley students get chance to design future semiconductors

Steve Howe
Observer Dispatch
Published 10:28 a.m. on 27 June 2022

Some of the Mohawk Valley's bright young minds met for a workshop on microchip design in Rome on June 28.

The event, organized by NYDesign and hosted at New York State Technology Enterprise Corporation headquarters in Griffis Business and Technology Park, brought in local students, including those from Mohawk Valley Community College, to learn about open source software to design microchips.

While semiconductor fabrication facilities continue to locate in upstate New York, including WolfSpeed in Marcy and Global Foundries in Malta, there's a missing component.

"The element that we don't have a huge amount of capacity around is the design of those integrated circuits," said Lamar Hill, executive director of NYDesign.

Community Colleges

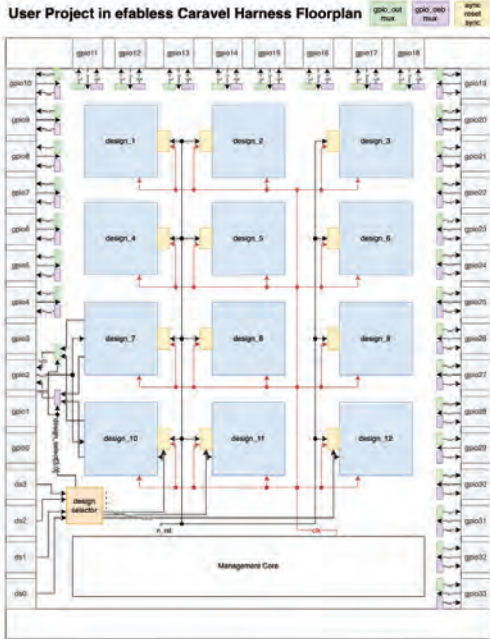
Attendees follow along with a live demonstration of open source chip design software at workshop at NYSTEC, Headquarters in Rome on June 28. Steve Howe / Upstate Observer Dispatch

The research and design aspect accounts for about half of the economic value of the industry, Hill said. The workshop on June 28 included hands-on sessions with eFabless, a free chip design software that replicates more expensive programs usually only available at the graduate level.

"By participating in this workshop they're going to be able to get access to actually putting designs onto silicon and be able to test them," Hill said.

産総研・九州センター研究会

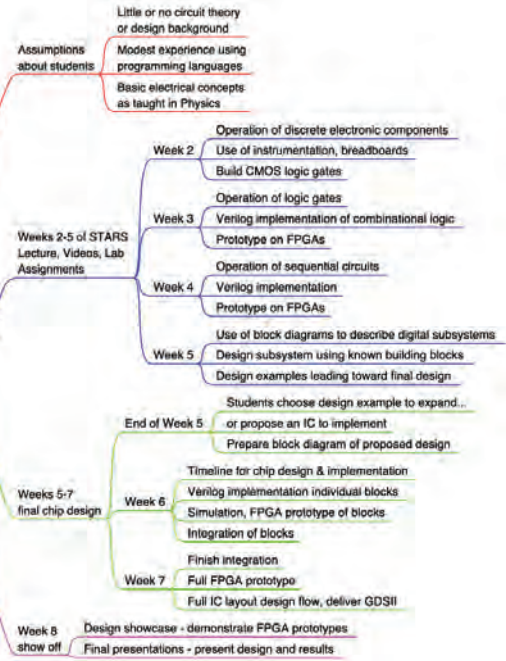




50 Students
12 Teams

12 Projects
1 ASIC

STARS Design Track Sequence



Courtesy of Mark Johnson at Purdue

CPUs

Test Benching
How we know it works

Interrupt Handler Z80 processor

Design concept and requirements
Memory Calculations

Sequencer

Outel 8227 - 6502 based Processor
Purdue Summer Training, Awareness, and Readiness for Semiconductors (STARS)

Final reflections

IC Layout
Our design was synthesized, and layout generated using OpenLane design flow hosted by efabless.com

Technology Skywater 130nm
Area 0.0672 mm²
X: 290.55uM
Y: 283.74uM
87% of allotted space

Guitar Villain Design
Purdue Summer Training, Awareness, and Readiness for Semiconductors (STARS)

Development - RTL

IC layout

Polyphonic Synthesizer
Purdue Summer Training, Awareness, and Readiness for Semiconductors (STARS)

music synthesizers

stop watch

Concept and Requirements

Eighty Twos Team
Intel 8080 - Chip Design
Purdue Summer Training, Awareness, and Readiness for Semiconductors (STARS)

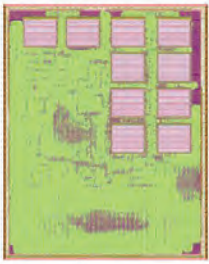
test results

FPGA proto

games

Courtesy of Mark Johnson at Purdue

OPEN SOURCE DESIGNS - STANFORD EE372



Kairos: A Vector Processor for Error-State Extended Kalman Filter Acceleration

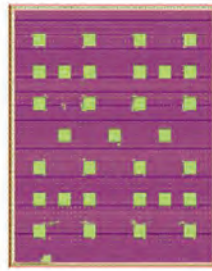
Jeffery Yu, Yuchen Mei

Code: Design, Caravel User Project

Documentation: Proposal, Design Review, Final Presentation, Report

Kairos is a SIMD single precision floating point vector processor, with instructions conforming to the RISC-V ISA. It implements operations such as vector fused multiply-add, matrix inversion, and matrix multiply-add, to efficiently accelerate error-state extended Kalman filter (ES-EKF) for trajectory estimation.

<https://priyanka-raina.github.io/ee372-spring2022/>

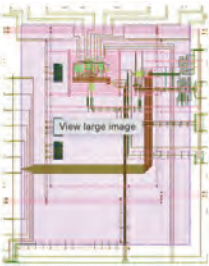


Grapevine: An Asynchronous Numerical Classifier Using Sparse Grids

Leo Liu, Priyanka Dilip

Code: Design, Caravel User Project

Documentation: Proposal, Design Review, Final Presentation
Grid-based numerical methods sample N-dimensional functions at regular intervals to produce an N-dimensional set of discrete "grid points". By breaking up grid points into hierarchical subgrids and eliminating subgrids above a certain hierarchy, one can obtain a sparsified grid space that reduces computational complexity. Grapevine is a hardware accelerator for solving classification problems using the sparse grid approach. It supports up to 6 dimensions and 256 grid points. Each grid point is implemented using a single processing element (PE). An asynchronous network-on-a-chip overlays the PEs to provide low-latency multicast routing.



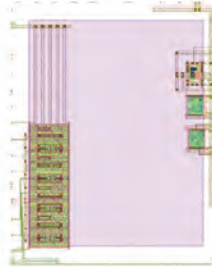
12-bit 10-KSPS Incremental Delta-Sigma ADC in Skywater 130 nm

Raymond Yang, Yaqing Xia

Code: Design, Caravel User Project Analog

Documentation: Proposal, Design Review, Final Presentation, Report

This project is a 12-bit 10 KSPS incremental delta-sigma analog-to-digital converter (ADC) designed for sensor interface and instrumentation applications. The ADC consists of a second-order incremental modulator and three post-integrators. The total area of the ADC is 0.55 square mm, with 0.53 square mm for analog modulator and 0.02 square mm for digital filter.



Automated Analog Layout of Bandgap Reference Circuit

Yueting Li, Xingyu Ni

Code: Design, Caravel User Project Analog

Documentation: Proposal, Design Review, Final Presentation, Report

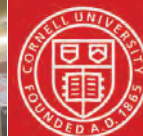
This project ports an automatic analog layout generation tool called alo to work with SkyWater 130 nm technology. Alo uses a digital place and route tool together with a genetic algorithm to meet different analog layout specifications. Using this tool, we generated several layouts for a bandgap voltage reference circuit on this chip, and we will compare these with a manually laid out version from the previous offering of this course.

08-Oct-2024

産総研・九州センター研究会

Cornell Custom Silicon Systems (C2S2)

<https://c2s2.engineering.cornell.edu/>



Cornell University

Silicon CMOS chips are at the heart of every modern computing device from the smallest Internet-of-Things (IoT) device to the largest supercomputer. Unfortunately, undergraduate students currently do not have any opportunity to actually go through the process of fully specifying, designing, implementing, testing, fabricating, and evaluating a computer chip. **Undergraduates leave Cornell thinking that fabricating computer chips is only possible at huge companies like Intel, AMD, NVIDIA, and Apple.** Until recently, there was no realistic hands-on way for students to experience the complete computer chip design process. At the same time, exposing students to the beauty of computer chip design has never been more important, since the slowing of CMOS technology scaling means computer system designers must increasingly rely on specialized computer chips for continued improvements in performance and/or energy efficiency.

How can students (**from freshmen to seniors**) gain hands-on computer chip design experience? **The answer lies in the recent explosion in open-source chip design tools, open-source chip implementations, open-source process design kits, and low-cost computer chip fabrication services.** Just as open-source software has democratized software design, open-source hardware is poised to democratize hardware design.

The **Cornell Custom Silicon Systems (C2S2)** Project Team **leverages this emerging open-source hardware ecosystem to enable undergraduate students to specify, design, implement, test, fabricate, and evaluate custom computer chips.** The final outcome will be a custom computer chip integrated on a custom circuit board with a complete software stack targeting an important application domain (e.g., ultra-low-power digital agriculture IoT). This ambitious student-led team is likely unique across US universities, and will hopefully inspire a new generation of computer system designers.

08-Oct-2024

産総研・九州センター研究会



BEAVER WORKS
Lincoln Laboratory | School of Engineering



and

MITRE

New Course Summer 2023 - MIT Lincoln Labs - Beaver Works

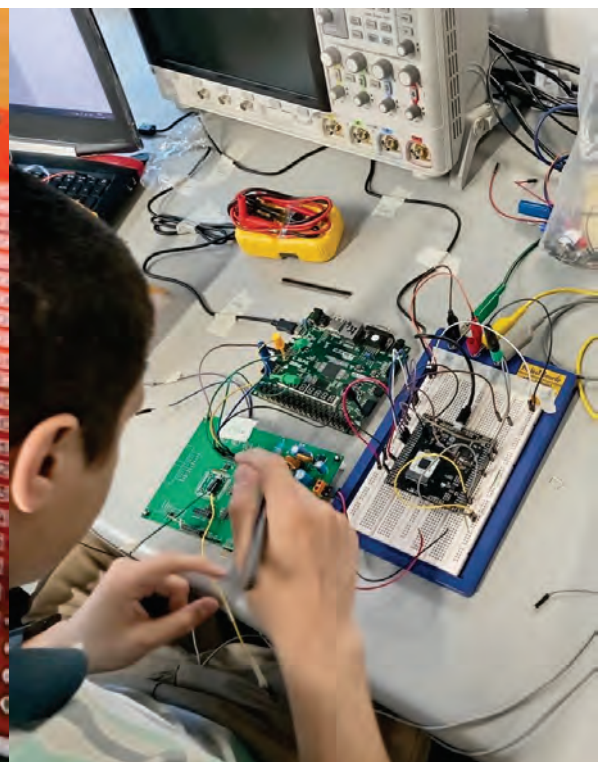
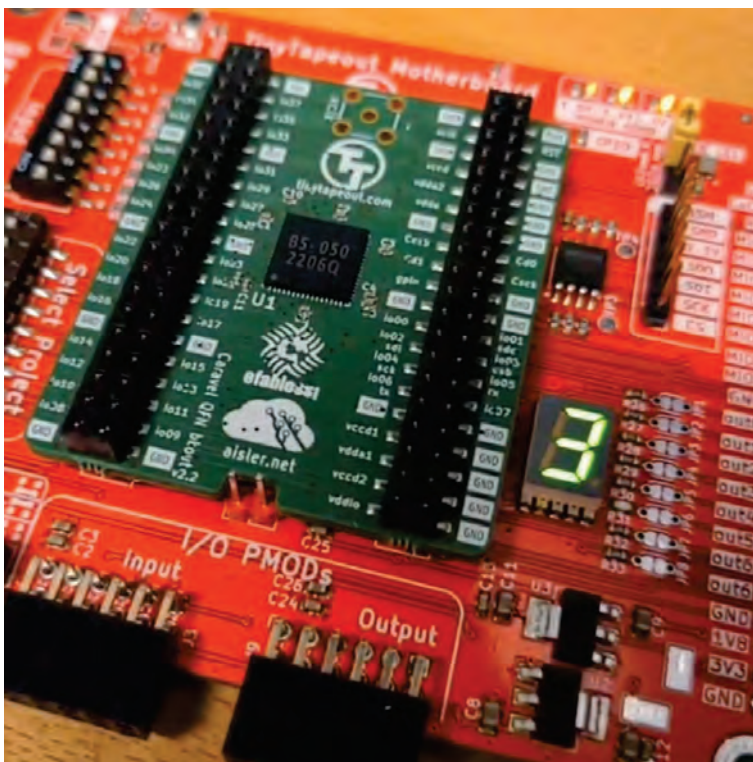
https://beaverworks.ll.mit.edu/CMS/bw/BWSI_Course_Listing

Microelectronics & Hardware Development *Summer Course*

Beaver Works Summer Institute will offer *a brand new course* on microelectronics and hardware development this summer. This course will provide students with an *overview of how microchips, PCBs, and hardware systems are made and how they run the world*. Students will receive hands-on experience on how to design and implement hardware systems using microcontrollers and develop useful electronics that can impact our daily lives. At the start of the summer, students will receive a basic hardware kit and can ask for additional items to be purchased so they can implement their own unique designs. No prior experience with hardware is necessary, and we encourage novices to participate.

08-Oct-2024

産総研・九州センター研究会



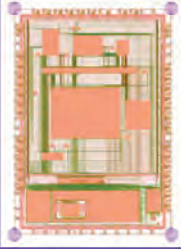



08-Oct-2024

産総研・九州センター研究会

Community Designs from MPW-2

YiFive #007

32-bit RISC-V Core with SDRAM Memory Controller and Quad SPI

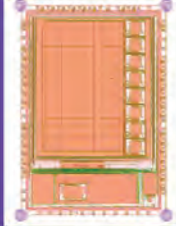

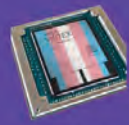





@dineshannayya
SoC designer from Intel
[@dineshannayya](#)

Being in this VLSI industry for more than 20+ years, I never thought that in my lifetime I would be able to demonstrate my skills from home, develop a 100K+ gate count VLSI design using open source tools, and get it fabricated for free with working silicon. It's a dream come true.

FABulous #005

Custom FPGA fabric of 896 LUT4s, 64 LUT5s, 8 DSPs and 8KB of BRAMs








@gatecat
Student at Heidelberg University and FOSS FPGA tool maintainer
[@gatecat](#)

With the MPW2 silicon harness, we were able to obtain our first silicon results from the FABulous eFPGA fabric generator. This included building a demo that tests all the fabric features - not just LUTs and FFs but also DSPs and BRAM.

Space Shuttle #027

Radiation hardened register files with ECC and TMR

@jaquerinto
Barcelon Supercomputing Center
[@jaquerinto](#)

The bring up of the ASIC was really fast. Thanks to platform provided by Efabless and the awesome community in slack I managed to quickly adopt the modifications needed from my code to perform the bring up of my design.